

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representation of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## **IMAGES ARE BEST AVAILABLE COPY**

**As rescanning documents *will not* correct  
images, please do not report the images to the  
Image Problem Mailbox.**



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-107561  
(43)Date of publication of application : 30.04.1993

(51)Int.CI.

G02F 1/136  
G02F 1/133  
G02F 1/133  
G02F 1/1343  
G09F 9/30  
G09G 3/36

(21)Application number : 03-296331

(71)Applicant : SEMICONDUCTOR ENERGY LAB  
CO LTD

(22)Date of filing : 16.10.1991

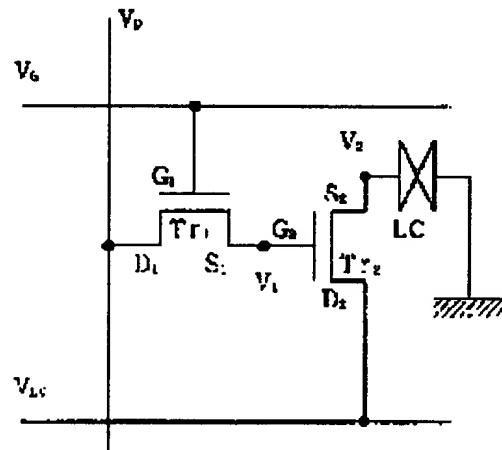
(72)Inventor : TAKEMURA YASUHIKO

## (54) ELECTROOPTIC DISPLAY DEVICE AND ITS MANUFACTURING METHOD AND DRIVING METHOD

### (57)Abstract:

PURPOSE: To provide the circuit of pixel and its driving method and manufacturing method which eliminate deterioration in picture quality due to variance in characteristics among pixel and are suitable for a gradational display (specially, digital gradational display) as to the electrooptic display device such as an active matrix type liquid crystal display.

CONSTITUTION: The active matrix type flat panel display is provided with a voltage supply line VLG in addition to a selection line VG and a signal line VD and each pixel is held at a nearly constant voltage by connecting it to the voltage supply line VLC, thereby eliminating a difference in voltage between pixel. Two transistors TR1 and TR2 are specially arranged for each picture element for the purpose and the 1st TR1 selects a pixel and sends the selection result to the 2nd TR2, which controls a voltage applied to the pixel. Further, the 1st TR1 and 2nd TR2 which have mutually different characteristics are combined to improve the characteristics.



### LEGAL STATUS

[Date of request for examination] 26.03.1992

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2784615  
[Date of registration] 29.05.1998  
[Number of appeal against examiner's decision of  
rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁 (JP)

## (12) 特許公報 (B2)

(11)特許番号

第2784615号

(45)発行日 平成10年(1998)8月6日

(24)登録日 平成10年(1998)5月29日

(51) Int.Cl. <sup>a</sup>	識別記号	F 1
G 02 F	1/136 500	G 02 F 1/136 500
	1/133 550	1/133 550
	575	575
	1/1343	1/1343
G 09 F	9/30 338	G 09 F 9/30 338

請求項の数 4 (全: : ) 最終頁に続く

(21)出願番号 特願平3-296331

(22)出願日 平成3年(1991)10月16日

(65)公開番号 特開平5-107561

(43)公開日 平成5年(1993)4月30日  
審査請求日 平成4年(1992)3月26日

(73)特許権者 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72)発明者 竹村 保彦  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

審査官 井口 猶二

(56)参考文献 特開 昭60-123896 (JP, A)  
特開 平2-272521 (JP, A)

(58)調査した分野(Int.Cl.<sup>a</sup>, DB名)

G02F 1/136 500  
G09F 9/30 338

(54)【発明の名称】電気光学表示装置およびその駆動方法

1

## (57)【特許請求の範囲】

【請求項1】アクティブマトリクス型電気光学表示装置であって画素と、選択線と、信号線と、電圧供給線と、第1のトランジスタと、第2のトランジスタとを有し、前記第1のトランジスタは、ゲイトが前記選択線に接続され、ソースまたはドレインの一方が、前記信号線に接続され、

前記第2のトランジスタは、ソースまたはドレインの一方が、前記電圧供給線に接続され、ソースまたはドレンの他方が前記画素に接続され、

前記第1のトランジスタの、ソースまたはドレインの他方が、前記第2のトランジスタのゲイトに接続され、

前記第1のトランジスタと第2のトランジスタは、一方がNMOSトランジスタであり、他方がPMOSトランジスタであることを特徴とする電気光学表示装置。

2

【請求項2】画素と、選択線と、信号線と、電圧供給線と、第1のトランジスタと、第2のトランジスタとを有し、

前記第1のトランジスタは、ゲイトが前記選択線に接続され、ソースまたはドレインの一方が、前記信号線に接続され、

前記第2のトランジスタは、ソースまたはドレインの一方が、前記電圧供給線に接続され、ソースまたはドレンの他方が前記画素に接続され、

前記第1のトランジスタの、ソースまたはドレインの他方が、前記第2のトランジスタのゲイトに接続され、

前記第1のトランジスタと第2のトランジスタは、一方がNMOSトランジスタであり、他方がPMOSトランジスタであるアクティブマトリクス型電気光学表示装置を駆動するに際し、

(2)

特許-2784615

3

前記電圧供給線の信号が非電圧状態のときに、前記画素の電荷の放電がなされること。

を特徴とする電気光学表示装置の駆動方法。

【請求項3】請求項2において、前記電荷は、前記放電前に前記画素電極に充電されることを特徴とする電気光学表示装置の駆動方法。

【請求項4】アクティブマトリクス型電気光学表示装置であって画素と、選択線と、信号線と、電圧供給線と、第1のトランジスタと、第2のトランジスタとを有し、前記第1のトランジスタは、ゲイトが前記選択線に接続され、ソースまたはドレインの一方が、前記信号線に接続され、

前記第2のトランジスタは、ソースまたはドレインの一方が、前記電圧供給線に接続され、ソースまたはドレンの他方が前記画素に接続され、

前記第1のトランジスタの、ソースまたはドレインの他方が、前記第2のトランジスタのゲートに接続され、

前記第1のトランジスタと第2のトランジスタは、一方がNMO Sトランジスタであり、他方がPMO Sトランジスタであり、

前記第2のトランジスタの、ゲート電極と前記ソースまたはドレインの一方との間の容量は、前記画素の容量の1%以下であることを特徴とする電気光学表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶ディスプレー等のマトリクス状に画素の配置された電気光学表示装置に、特にアクティブマトリクス方式の電気光学表示装置に関して、各画素の薄膜トランジスタ等のアクティブ素子の特性のばらつきや、素子本来の抱える問題点によつてもたらされる画質の劣化を解消するための、新しい画素および表示装置と、その作製方法、駆動方法に関するものである。

【0002】

【従来の技術】近年、普及し始めた薄膜トランジスタ型液晶ディスプレー(TFT LCD)は、それ以前の単純マトリクス型の液晶ディスプレーよりも形度・コントラストがよく、視野角も広くて見やすいという特徴を有しており、液晶ディスプレーのカラー化に伴い、近年、特に力を入れて生産されている。

【0003】従来のTFT LCDの画素セルの回路は、図2(A)に示すような構造で、縦横に張り巡らされた配線の交点に薄膜トランジスタ(TFT)を設け、そのゲート電極を選択線(ゲート線ともいう)に、ドレイン領域を信号線(ドレイン線ともいう)に接続し、ソース領域は画素電極に接続した構造となつてゐた。この構造自体は、すでにDRAMで採用されたものと同じであり、その信頼性については十分に認識されていたように考えられていたが、DRAMは完全なデジタル動作であるのに、液晶ディスプレーの動作には一部アナログ的な

50

4

部分もあって、実際には、さまざまな問題を抱えていた。

【0004】選択線と信号線に入力される信号は図2(B)に、それぞれVG、VDで示される。液晶に長時間にわたつて、直流をかけると電気分解によって特性が劣化するので、周期的に(通常は、1フレームごとに)液晶にかかる電圧が反転するように、信号線に印加する電圧信号を反転させる。

【0005】図には、そのような信号が印加されたときの画素電極の電圧(V<sub>LC</sub>)の変化も示したが、これから従来のアクティブ方式のかかえる問題が読み取れる。

【0006】まず、選択線に電圧パルスが印加され、同時に信号線にも電圧が加えられていたので、トランジスタがON状態となり、画素電極の電圧が上昇し始める(t<sub>1</sub>の領域)。しかしながら、その動作は、一般に緩慢である。特にアモルファスシリコンを用いたTFTでは、移動度が小さいため、場合によつては、必要な電圧に達する前に選択線のパルスがきれてしまうこともある。ポリシリコンTFTでは、事態は改善されるが、それでも、パルス幅が1μsecを切るような高速動作においてはほとんど追従できない状態となる。通常の動作では、1フレームは30 msecであるので、例えば、選択線が480本あるようなディスプレー(480行ディスプレー)では、パルスの幅は約50μsecである。しかし、より高精細な、あるいは高階調な画像を得ようとなれば、フレームの周波数を高める必要がある。したがつて、より付加価値の高い製品においては、上述のように、パルス幅が1μsec以下の条件が要求される。

【0007】次に、選択線のパルスが切れると同時に画素電極の電圧は、図に示すように、ΔVだけ下落する。これは、ゲート電極とソース領域の重なりによって生じた寄生容量によって、もたらされるもので、“飛び込み電圧”と呼ばれるものである。この効果は寄生容量が大きいほど著しく、したがつて、寄生容量の大きいアモルファスTFTを用いた画素では、図2(A)に示すように画素と並列にわざわざキャパシタを入れて飛び込み電圧効果を低めている。しかしながら、このようなキャパシタを設けることはTFTや周辺回路の負荷の増加の原因でありこのキャパシタの配線のために開口率が低下して、暗い画面となる。

【0008】ポリシリコンTFTでは、そのような問題は顕著ではない。それは作製に際して、セルフアラインプロセスが採用できるからである。しかし、それでも、現在の技術では、1V程度のΔVが存在し、将来において、より高画質を要求された場合には大きな問題となる。

【0009】次に、選択線のパルスが切られてから次のパルスが来るまで(t<sub>2</sub>の領域)は画素電極の電圧は放電によって、次第に低下する。この放電の主な原因はT

(3)

特許-2784615

5

F Tからの放電とされている。そして、再び、選択線にパルスが印加される。このときには、信号線の電圧は反転しているので、画素電極の電圧も逆転する。そして、先に問題となったようにだらだらと画素電極の電圧が変化する。

【0010】さらに、選択線のパルスが切られると、こんどは $\Delta V$ だけ、マイナス電圧が大きくなる。そして、その後は放電によって徐々にゼロに近づく。このように、画素電極の電圧は、非対称であり、それゆえ、フリッカーや液晶の劣化といった問題をもたらす。

【0011】さらに、注目すべきはこのような複雑な電圧の変化が、個々の画素によって大きく違うことがあるということである。例えば、 $t_1$ での電圧の立ち上がりは、TFTの移動度、チャネル幅、チャネル長、活性化領域の厚さ、ゲート電圧（選択線の電圧）やドレイン電圧（信号線の電圧）の大きさといった要因の影響を受ける。TFTの移動度は、作製プロセスに大きく依存し、同じパネルの中で顕著に異なることは考えにくいが、将来の大画面液晶ディスプレーでは、その場所依存性がかなり大きくなることが考えられる。活性化領域の厚さについても大画面化にともなって大きな問題となるであろう。チャネル幅とチャネル長は、マスクプロセスの誤差によって、通常、10%程度の狂いがある。ゲート電圧は、選択線が延びるにしたがって減衰し、ドライバの近くと最も遠い部分では10%以上の違いがある。ドレイン電圧に關しても同様である。

【0012】また、飛び込み電圧は、TFTの寄生容量に依存するが、これは、現在のプロセスでは、非セルフアラインプロセスで20%の誤差が、また、セルフアラインプロセスでも10%内外の差が発生するうえ、飛び込み電圧はゲート電圧に比例するので、先に述べたようにゲート電圧がパネルの場所によって異なってしまうということは飛び込み電圧には、寄生容量の誤差にゲート電圧の誤差が相乗した効果がもたらされるということである。

【0013】一方、放電による画素電圧の低下は、TFTのチャネル長、チャネル幅、活性化領域の特性によって大きく左右される。以上の結果として、画素電圧は、実線で示されるものから、点線で示されるものまで、幅広くばらつくのである。以上のような電圧の差が目的とする範囲内に収まるように装置を作製するには、厳密な品質管理が要求されるが、その結果、製品歩留りが著しく低下する。現在のような性能が低くても構わない付加価値の低い製品では、採算が取れるような歩留りであっても、将来要求されるような高付加価値製品を製造するには現在の製品レベルでは、採算をとることは不可能である。

【0014】現在、TFTLCDでは、階調表示は、信号線の電圧を適切なレベルにコントロールすることによってなされているが、以上のような現実を前にすると、

6

その階調表示は16階調でさえも不可能であると見られる。通常のTN液晶のしきい値電圧は5V程度であり、これを16等分すると300mVであり、上述の電圧の立ち上がりとそのばらつき、上述の飛び込み電圧の大きさとそのばらつき、さらに、放電のばらつきを考慮すると、よほど絞り込まないかぎり、300mV程度の誤差が生じてしまうものである。

【0015】このような観点から、従来のようなアナログ的な階調表示にかわって、本発明人らは、デジタル階調表示方法を提倡している。これは、液晶に電圧を印加する時間を制御することによって階調表示するものであり、例えば特願平3-169305、特願平3-169306、特願平3-169307、特願平3-209869等に述べられている。しかしながら、そのためには現状の駆動速度に比べて、20倍から300倍の高速の動作が必要とされていた。そのためには、NMOSのTFTだけで駆動することはもはや困難で、TFTをCMOS化する必要があった。しかしながら、このような方法を採用したとしても、現状では、各TFTの特性のばらつきから来る階調の乱れは防ぐことは困難であった。

【0016】例えば、1フレームの45%だけ電圧状態とすることによって、中間的な表示をおこなおうとしても、ある画素には目的とする電圧の110%の電圧が印加され、他の画素には90%の電圧しか印加されないされない場合には、前者では、 $1.1 \times 45\% = 49.5\%$ 、後者では $0.9 \times 45\% = 40.5\%$ というようにその明るさに20%以上の違いがでてしまい、実際のところ8階調が精一杯である。

【0017】この問題を解決するには、例えば、本発明人らの発明である特願平3-209870に記述されているように、予め外部記憶装置に、各画素の特性をインプットしておいて、画像信号をこのデータによって演算処理し、画素に送るという方法があるが、これはそのデータの演算処理が煩雑であり、したがって、周辺駆動回路にかける負担が大きく、また、個々の画素を検査してその補正データを入力するのに用いる時間が膨大で（1画素の検査・入力に1秒要するとすると、 $640 \times 480$ のパネルで、85時間かかる）、コスト上昇の一因となる。

【0018】

【発明が解決しようとする課題】本発明は、以上のような現状のTFTLCD、あるいはそれを改良したデジタル階調方式のLJLの欠点を補おうとして成されるものである。本発明では、まず、LCDパネルの特性が、各TFTの影響を直接受けないような構造を提案する。個々のTFTの特性が画質に直接反映されないということは、TFTのばらつきの許容範囲が広がるということで、歩留りを上げ、製品のコストを下げができる。また、本発明では、特にデジタル階調方式の駆動方法に適した構造を提唱し、また、その駆動方法について

言及する。また、本発明では、上述のデジタル階調方式を含めて、その他の高速動作によって高い付加価値を得るために適した構造を提案する。そして、以上のような構造を作製するのに適したプロセスについても言及する。

【0019】

【問題を解決する方法】本発明の思想は、画素電極が電圧状態にあるときには常に定的な電圧が供給されるべきである、というものである。したがって、従来のような時間とともに放電によって減少するような電圧を印加することは避ける。そのためには、図1 (A) に示すような駆動回路を採用する。

【0020】この回路は2つのトランジスタを有しており、第1のトランジスタTr<sub>1</sub>のゲート(G<sub>1</sub>)は選択線V<sub>G</sub>に、ドレイン(D<sub>1</sub>)は信号線V<sub>D</sub>に接続されている。この状態は従来のTFTLCDと同様であるが、本発明では、Tr<sub>1</sub>のソースを第2のトランジスタTr<sub>2</sub>のゲート電極に接続する。そして、Tr<sub>2</sub>のドレインは電圧供給線V<sub>LC</sub>に接続される。また、Tr<sub>2</sub>のソースは画素電極に接続される。このように、信号線の信号を間接的に画素電極に伝達する機構を採用したことが本発明の特徴とすることであり、従来のように信号線の信号が直接、画素に接続されている場合には動作時間の点で極めて制約が多かったのであるが、間接的に画素に接続することによって時間に余裕が出る。

【0021】すなわち、信号線の信号は、それ自体は画素電極に印加されないので、Tr<sub>1</sub>を通過した信号が予定されていたものより大きく変動してしまっていても、Tr<sub>2</sub>の制御に適する範囲に収まっていれば、画素電極に印加される電圧は常に一定の値をとる。

【0022】すなわち、先に述べたように選択線の信号パルスの幅は極めて短く、通常で70μsec、デジタル階調をおこなうような特殊な場合には、その10数分の1から数100分の1の幅しかない。このような短時間では、各TFTの特性のばらつきによって、最終的に、画素電極に保持される電圧は大きく異なってしまうことがよくある。

【0023】一方、本発明の動作を解析してみると、Tr<sub>1</sub>に印加される電圧パルスの幅はやはりそのように極めて短時間であるので、そのソース電圧も大きく異なってしまうのであるが、しかしながら、その電圧は、画素電極に印加されるのではなく、第2のTFT、Tr<sub>2</sub>のゲート電極に印加されるのであるため、ある程度、TFTごとにばらつきがあったとしても、最悪の特性を有するTFTのソースの電圧がTr<sub>2</sub>を制御できるのに十分であればよい。

【0024】もし、そのように条件を設定できれば、Tr<sub>2</sub>のON/OFFを制御することによって、画素電極には電圧供給線V<sub>LC</sub>から一定の電圧を供給できる。すなわち、画素電極に印加される電圧の大きさについては信号線の信号は関与しない。信号線の信号はONかOFF

かを伝えるだけである。

【0025】また、このTr<sub>2</sub>の動作自体はTr<sub>1</sub>に比べて十分遅くても構わないことに注目すべきである。すなわち、Tr<sub>1</sub>のON/OFFの動作が終了してから、Tr<sub>2</sub>が動作するようなことも可能である。というのは、Tr<sub>1</sub>によってTr<sub>2</sub>のゲート電極には電荷が閉じ込められており、したがって、次に再びTr<sub>1</sub>に信号が送られるまでの十分に長い時間の間にTr<sub>2</sub>は反応すればよい。したがって、例えば32階調程度のデジタル階調をおこなう場合においても、Tr<sub>2</sub>には、アモルファスシリコンTFTのような動作の遅いものを使用することも可能である。

【0026】さらに、図1 (A) の構成では、Tr<sub>1</sub>の負担を従来のTFTに比べて格段に削減する。従来の方式では、画素電極に送られる電荷は、全てTFTを通過しなければならなかった。しかも、最大でも70μsecの短い時間に通過する必要があった。しかしながら、本発明では、Tr<sub>1</sub>を通過する電荷はTr<sub>2</sub>のゲートとドレイン間の容量に相当する電荷である。例えば、画素の大きさを、300μm×300μmであり、厚さが6μmであるとし、Tr<sub>2</sub>のゲート電極の大きさを10μm×10μmとし、ゲート絶縁膜の厚さを0.2μmとすれば、前者の静電容量は、後者の実に30倍であり、また、ゲート電極の大きさをより小さく、例えば5μm×5μmとすれば、実に120倍にもなる。

【0027】明らかに、従来の方法にはTFTに過大な負担がかかっていることが分かる。一方、本発明では、Tr<sub>1</sub>の負担は従来のTFTの30~120分の1、あるいはそれ以下で済む。このことは、従来の方式に比べてTr<sub>1</sub>の速度を30~120倍、あるいはそれ以上とすることが可能となる。例えば、従来の方式を採用する限りにおいては、アモルファスシリコンTFTでデジタル階調をおこなうことは不可能であった。それは、アモルファスシリコンの移動度が極めて小さいため従来のように大きな電荷移動を伴う高速動作ができなかったからである。

【0028】しかしながら、本発明では、電荷の量は従来に比べて格段に小さいのでそのことは全く問題ではない。したがって、アモルファスシリコンTFTを従来の100倍程度の速度で駆動して、64階調やそれ以上のデジタル階調をおこなうことができる。アモルファスシリコンTFTの作製温度はポリシリコンTFTに比べて低いので量産性に優れ、生産コストが抑制される。

【0029】一方、Tr<sub>2</sub>の動作はどうかというと、その動作速度はTr<sub>1</sub>の100分の1以上、好ましくは20分の1以上であれば十分である。この場合にはTr<sub>2</sub>を通過する電荷は従来と同様であるが、速度が遅くてもよいので、例えば、32階調のデジタル階調をおこなう場合に、Tr<sub>2</sub>にアモルファスシリコンTFTを用いてもよい。その場合には、Tr<sub>2</sub>のスイッチング速度が、

従来のアモルファスシリコン TFT と同じく  $70 \mu\text{sec}$  とすれば、デジタル階調の最小周期は  $33 \mu\text{sec}$  の 3.2 分の 1、約  $1 \mu\text{sec}$  であるが、 $\text{Tr}_2$  の動作速度はそのわずか 7 % であるので、全く問題なく動作する。もちろん、ポリシリコン TFT であれば十分な容量を確保できることは言うまでもない。

【0030】また、より高階調表示のために  $\text{Tr}_2$  の動作に余裕を持たせる目的で、 $\text{Tr}_2$  のチャネル幅を大きくしてもよいが、その場合には、 $\text{Tr}_1$  の負荷である  $\text{Tr}_2$  のゲイトードレイン容量が大きくなるので注意が必要である。例えば、チャネル幅を 5 倍にすると  $\text{Tr}_2$  の駆動能力は 5 倍になるが、 $\text{Tr}_1$  の負荷も 5 倍になり、 $\text{Tr}_1$  の動作速度は 20 % になる。

【0031】図 1 (A) の駆動方法の例を図 1 (B) によって説明する。まず、選択線と信号線には従来と同様に信号が送られる。ただ、信号線に入力される信号は純粹なデジタル信号である。一方、電圧供給線には、正と負が交互に現れる信号が送られる。この信号は選択線と同じ周期で繰り返される。電圧供給線の信号は、この例では選択線にパルスが印加されている間は 0 となるようになる。選択線、信号線、電圧供給線の信号をそれぞれ図中の  $V_G$ 、 $V_D$ 、 $V_{LC}$  に示す。

【0032】このとき、回路の各点での電圧の変化を調べる。図 1 (A) 中の点  $V_1$  と  $V_2$  の電圧を図 1 (B) の  $V_1$ 、 $V_2$  に示す。まず、 $\text{Tr}_1$  のソース側の電圧  $V_1$  は、選択線と信号線の信号によって、実線のように電圧が立ち上がり、選択線のパルスが切れることによって飛び込み電圧による軽い電圧降下があり、その後、放電によって減衰してゆく。

【0033】一方、 $\text{Tr}_2$  のソース側の電圧、すなわち画素電極の電圧は、 $V_1$  が電圧状態になったことによって、 $\text{Tr}_2$  がオン状態となる。次に、電圧供給線に電圧が印加されるので、画素電極はその電圧によって、充電される。ここで、注意しなければならないことは、既に  $\text{Tr}_2$  は ON 状態であるので、その充電は、実質的には、 $\text{Tr}_2$  のオン抵抗と画素電極の容量によって決定され、極めて立ち上がりが早いということである。

【0034】さて、本発明では通常は、選択線のパルスが切れてから一定時間が経過してから電圧供給線に信号を送るようにする。もちろんパルスが切れると同時に電圧供給線に電圧を印加してもよいが、特に  $\text{Tr}_2$  に動作速度の遅い TFT を使用して、デジタル方式（特に本発明人等の発明である特願平 3-163870、同 3-163871、同 3-163872、同 3-163873 に述べられた方式）で高階調表示をおこなおうとする場合には賢明な方法ではない。

【0035】例えば、64 階調のデジタル階調表示をすることを考える。選択線のパルスの繰り返し周期は、最短で  $500 \mu\text{sec}$  である。選択パルスの幅は、40 行のマトリクスでは  $1 \mu\text{sec}$  であるが、先述したよう

に  $\text{Tr}_1$  の負荷は小さいので、十分に駆動できる。また、 $\text{Tr}_1$  のソース側の電圧が、仮に十分に電圧が上がりきらなくても、 $\text{Tr}_2$  を駆動するに十分な電圧が供給されていれば問題はない。したがって、 $\text{Tr}_1$  までは何の問題も生じない。すなわち、選択線のパルスが切れたとき（選択線のパルスが送られてから  $1 \mu\text{sec}$  後）には  $\text{Tr}_1$  のソース側は十分な高電圧状態となっている。

【0036】さて、 $\text{Tr}_2$  の駆動能力は最低のもので、ON 状態となるのに  $70 \mu\text{sec}$  要するとしよう。しかしながら、パネルには、より特性の優れた TFT が存在することがある。ある画素の  $\text{Tr}_2$  に対応する TFT は、 $60 \mu\text{sec}$  で ON 状態となるかもしれない。このような違いは、活性化層の膜質の微妙なちがいによってもたらされる移動度の差に、フォトマスクの微妙なちがいによってチャネル幅やチャネル長が異なることが重畳されて生じる。

【0037】もし、そのようなさまざまな特性の TFT を搭載したパネルにおいて、選択パルスが切れると同時に、あるいは選択パルスが持続している間から電圧供給線  $V_{LC}$  に電圧を印加したとすると、ある画素では、 $60 \mu\text{sec}$  後には充電が完了し、ある画素では充電が完了するまで  $70 \mu\text{sec}$  の時間がかかる。その差は  $10 \mu\text{sec}$  で、充分、小さいようと思えるが、これは、上記最小繰り返し周期  $500 \mu\text{sec}$  の 2 % である。

【0038】64 階調を達成するには、画素ごとのパルスの持続時間は 1.6 % 以内に抑えなければならないのにこのように 2 % の大きな差が生じてしまうと、実際、64 階調の表示はもはや意味がない。もちろん、TFT の特性をそろえることによって対処できるが、その結果、歩留りが低下することは本発明の意図することではない。

【0039】一方、選択線のパルスが切れてから  $80 \mu\text{sec}$  や  $100 \mu\text{sec}$  後に、電圧供給線に電圧を印加した場合はというと、すでに全ての  $\text{Tr}_2$  は ON 状態であるので、全ての画素が問題なくほぼ同一時間に電圧状態となる。このときの充電までに要する時間に関して、画素の関与するパラメータは、画素容量と、 $\text{Tr}_2$  の ON 抵抗である。ON 抵抗は  $10^6 \Omega$  程度、画素電極の容量は  $10^{-13} \text{ F}$  程度であるので、この時定数は  $100 \text{ nsec}$  である。

【0040】したがって、どんなに画素ごとの時定数がばらついても、そのばらつきが時定数の 50 % 以内であれば、それは  $100 \text{ nsec}$  の違いであり、繰り返し周期  $500 \mu\text{sec}$  に比べると極めて小さく (0.02 %)、上述の 64 階調の条件 (ばらつき、1.6 % 以内) を満たす。したがって、このように、一定の猶予をもってから電圧供給線に電圧を供給する方法は高階調表示に有利である。

【0041】電圧供給線の電圧を切る時も同じ配慮を払わなければならない。この過程では選択線にパルスが印

(6)

特許 - 2784615

11

加される前に電圧供給線の電圧を解除することが望まれる。そのようにすることによって、画素に保持されていた電荷を確実に放出できるからである。

【0042】例えば、選択パルス印加時も電圧供給線に電圧がかかったままであると、Tr<sub>1</sub>が選択されなかつた場合（すなわち、信号線には信号がこなかつた場合）には、Tr<sub>2</sub>のゲート電極にあった電荷はなくなり、自動的にTr<sub>2</sub>はOFF状態となり、結局、意図に反して画素に電荷が取り残されることとなる。

【0043】そのようなことを避けるには、選択線にパルスがくる前に、電圧供給線の電圧を0として、画素の電荷を全て放出しておくことが望まれる。すなわち、電圧供給線の電圧を0にしてから選択パルスを印加するまでに時間tだけ時間を置く。もっとも、この電荷放出を要する時間は先の時定数程度であるので、それほど神経質になる必要はない。

【0044】第2の周期では、電圧供給線の電圧は負とし、交流化をおこなう。やはり、選択パルスが切れてから一定の時間が経過したのちに電圧供給線に負の電圧を供給する。従来の方法では、交流化をおこなうには信号線の信号の極性を反転させていたが、本発明では、図1(B)に示すように信号線の信号の極性を反転させる必要はない。

【0045】また、図から明らかなように、従来のような飛び込み電圧による電圧の変動はV<sub>1</sub>に限られ、画素に印加される電圧にはそのような変動はまったくない。また、自然放電による減衰もない。これは、従来の方法では、画素に印加される電圧は画素電極に保持された静電気であったのに対し、本発明では、画素に印加されている電圧が常に定電圧の電圧供給線から供給されたものであるからである。この違いはまさに本発明の特徴とするところである。

【0046】また、素子のばらつきを考慮する目的でTr<sub>1</sub>の特性が良くない場合を図中に点線で示した。すなわち、素子の特性が良くないため、Tr<sub>1</sub>のソース電圧は、立ち上がりが悪くて、ドレインの電圧に遅せず、また、寄生容量が大きくて飛び込み電圧の影響が大きく、さらに、自然放電も大きい様子を示している。このような TFTと実線で示すような特性の TFTを同じパネルに搭載した場合には、従来の方法では、色むらがひどくて、使用できないのであったが、本発明では何ら問題とならない。

【0047】すなわち、例え、点線で示されたような特性を示す TFTであっても、最終的な（電圧供給線の電圧が0になるときの）ソースの電圧がTr<sub>2</sub>の制御をおこなうに十分なものであれば何ら画素電極には影響がないからである。

【0048】図にも示したように、V<sub>1</sub>が点線で示されるような場合でも、V<sub>2</sub>にはその影響はほとんどない。従来は、このV<sub>1</sub>の電圧のばらつきをいかに小さくする

50

12

か、ということが最大の問題であった。そのため歩留りが上がりず、生産コストが高かつた。本発明では、従来には不良とされていたようなパネルであっても、十分に使用できる。

【0049】例えば、図1(B)のV<sub>1</sub>で点線で示されるような特性の TFTが多く含まれているようなパネルであっても、例えば、その電圧が、Tr<sub>2</sub>のしきい値電圧以上となるように、選択線および信号線の電圧を高く設定してやればよい。当然のことながら、電圧を高く設定し過ぎた為に、良品の TFTを破壊するようなことがあってはならない。

【0050】実際には、本発明人らの試作では、10行10列(100素子)の小規模なパネルにおいて選択パルスの高さを1.5V、信号線の電圧を1.0Vとしたとき、V<sub>1</sub>が、5V以上である TFTを90%以上形成することは極めて容易なことであった。この過程での歩留りは95%以上であった。この場合には、さらに、TFTのゲート電圧およびドレイン電圧を5V引き上げると、99%の TFTにおいて5V以上が達成できた。しかも、このような操作によって破壊される TFTはなかった。

【0051】しかしながら、従来の方式を採用したのであれば、このようなパネルでは、白黒の表示すらおぼつかないものであった。すなわち、上記のパネルでは、V<sub>1</sub>は、平均値が7.2Vで±0.9Vの範囲には60%しかなかった。その場合には、たった8階調の階調表示をおこなうのであっても40%の TFTは適さないということであった。もし、90%以上の TFTが、V<sub>1</sub>=(7.2±0.9)Vの範囲に入るようパネルを選別すれば、歩留りは著しく低下した。もちろん、この試作は条件の不十分なものであったので、条件を最適化すれば歩留りを上げることは可能であるが、より大規模なディスプレーを作製するにあたっては非常な労力を要するものである。

【0052】本発明では、1つの画素に最低2つの TFTを形成しなければならないので、その分、歩留りが低下することが懸念されるが、その TFTに要求される特性は、上述のように従来の方式によるものに比べて基準が緩いのでそのこと自体が歩留りの低下につながることはほとんどない。

【0053】図1の場合には各列ごとに選択線と電圧供給線が設けられている。そのために従来の方法に比べて配線が2倍となり、画素の開口率が低下するおそれがある。実際には既存の液晶ディスプレー装置でも、選択線に平行に配線を形成して、これを付加容量配線としてもいることが、特に TFTでの寄生容量が問題となつたアモルファスシリコン TFTを用いたものでは必要とされていたので、配線の密度が増加して開口率が低下するということは従来の技術に比べて不利なことではないが、その端子接続を考慮した場合、確かに2倍の実装密

(7)

特許-2784615

13

度が要求される。この問題を解決するには、図3に示すような方法を採用することが出来る。

【0054】図3(A)では、隣接した2列の画素列の電圧供給線を共有した構造とした。このような構造をとることによって、配線の密度を図1の方法に比べて25%削減でき、従来の理想的なアクティブマトリクス方式の1.5倍の実装密度に抑えることができる。同様に、隣接する3列の画素列ごとに1つの電圧供給線をもうけるという方法も、あるいは、それ以上の多くの列で1つの電圧供給線を共有することも可能である。全ての画素列が電圧供給線を共有することは可能であるが、その場合には画素の構造が特殊なものであると同時に、特殊な駆動をする必要がある。

【0055】図3(A)の駆動例を同図(B)を用いて説明する。 $V_G$ 、 $V_G'$ は、それぞれ上と下の選択線の信号を、 $V_D$ は、信号線の信号を、 $V_{LC}$ は電圧供給線の信号を示し、また、 $V_1$ 、 $V_2$ において実線は、図3(A)中の点 $V_1$ 、 $V_2$ の電圧(上の画素)の、破線は点 $V_1'$ 、 $V_2'$ の電圧(下の画素)の電圧を示す。選択線の信号および信号線の信号は従来あるいは図1の場合と同様である。しかしながら、電圧供給線の信号は図1の場合とは異なり、上下2つの信号線のパルスが持続している間は電圧状態ではない。すなわち、上下2つの画素の電荷が移動する必要があるからである。

【0056】まず、上の選択線にパルスが送られる。このとき、信号線には信号が来ているので、上の画素のTFT( $T_{r1}$ )はオン状態となり、 $V_1$ は電圧状態となる。したがって、上の画素の第2のTFT( $T_{r2}$ )もON状態となる。続いて、下の選択線にパルスが送られるが、そのときには信号線は電圧状態でないので、 $V_1'$ は電圧状態とはならない。したがって、下の画素のTFT( $T_{r1}'$ )はOFF状態のままであり、また、下の画素の第2のTFT( $T_{r2}'$ )もOFF状態を保つ。

【0057】一方、両選択線のパルスが途切れてから、共通の電圧供給線に信号が送られる。その結果、ON状態である $T_{r2}$ を通じて上の画素電極に電圧が供給され、画素は定電圧状態となる。一方、下の画素では、 $T_{r2}'$ がOFF状態であるので画素電極は電圧状態ではない。

【0058】このようにして、1周期が経過して、再び、この画素の選択線にパルスが送られる。その直前に、あるいは同時に電圧供給線のパルスが切られるので、電圧状態であった上の画素の電荷は、ON状態の $T_{r2}$ を経由して流れ、上の画素は電圧状態でなくなる。

【0059】さて、今度は、選択線のパルスと信号線の信号から上の画素は選択されず、下の画素が選択されることとなる。したがって、 $T_{r1}$ はOFF状態のままで、また、 $T_{r2}$ もOFF状態を保つ。一方、 $T_{r1}'$ はON状態となり、したがって、 $T_{r2}'$ はON状態を

10

14

持続することとなる。その後、電圧供給線に電圧が加えられ、ON状態の $T_{r2}'$ を経由して下の画素電極に電圧が加えられる。上の画素電極には電圧は印加されない。

20

【0060】図3では、 $V_1$ と $V_1'$ での電圧の比較によって2つのTFT、 $T_{r1}$ と $T_{r1}'$ のトランジスタ特性が著しく異なる様子が示されている。 $T_{r1}$ は、電圧の立ち上がりもよく、飛び込み電圧の低下も少なく、自然放電も小さく、極めて優れた特性を示す。一方、 $T_{r1}'$ は、これらの全てにわたって特性が劣っている。通常は、このような特性の大きく異なるTFTを同じディスプレー上に形成するとむらがひどくて階調表示等の精密な動作の必要なディスプレーには使用できなかったのである。

20

【0061】しかしながら、本発明では、例え $T_{r1}'$ の特性が他と比べて劣っていたとしても、1周期の間、第2のTFT、 $T_{r2}'$ のしきい値電圧以上であれば、また望ましくは、電圧供給線に印加される以上の電圧であれば、画素電極には一定の電圧を供給でき、そのためむら等の問題はない。すなわち、従来であれば不良とされていたパネル(TFT)を使用できる。そのためには、最も特性の悪いTFTが上記の条件を満たすように信号線の電圧や選択線の電圧を調整すればよいのである。このようにして、結果的にそれまで不良とされてきたパネルを使用できるので、歩留りの向上や製造コストの低下をもたらす。

30

【0062】本発明によって、従来ではとても使用に耐えられないと考えられてきたような特性の悪いTFTでも十分に使用できる例を図4を用いて説明しよう。図4(A)には、本発明で使用する回路を示してあるが、必要なTFTや画素(キャパシタとして機能する。 $C_3$ と表示する。)以外にTFTの寄生容量が存在することが知られており、このような寄生容量はしばしば、液晶ディスプレーでは問題を引き起こしていた。

40

【0063】代表的な問題は、既に何度も説明した飛び込み電圧である。これは、TFTのゲートとソースの間の寄生容量 $C_1$ によって、ソース側のキャパシタ(従来の回路では画素電極の容量、本発明では第2のTFT、 $T_{r2}$ のゲートとドレイン間の容量)とゲート配線が容積結合し、電圧を変動させるものである。その電圧幅 $\Delta V$ は、図4の例では、

$$\Delta V = C_1 V_G / (C_1 + C_2)$$

で示される。本発明では、 $C_2$ の大きさは、 $T_{r2}$ のゲート電極の大きさとゲート絶縁膜の厚さ、誘電率によって決定される。特に本発明では、第1のTFT、 $T_{r1}$ の駆動の負担を低減するために、この容量は小さく設定することが有利である。例えば、画素の持つ容量の1%以下とする場合がある。このような小さな負荷とすることによって、従来の100倍の高速で動作させることが出来る。

50

【0064】しかしながら、そのような場合には、 $T_{r1}$ の寄生容量を無視できなくなることがある。典型的には、 $C_1$ と $C_2$ の大きさが同等となる場合もある。従来のTFTでは、 $C_1$ はどのような場合においても画素容量よりも1桁程度小さかったので、電圧の変動は問題ではあったが、これほど、その比率が大きくなることはなかった。例えば $C_1$ と $C_2$ が同じであるとすると、ゲート電極に印加される電圧の半分の電圧が変動することとなる。図4 (B) にその例を示す。

【0065】同図において上には、Nチャネル型TFT  $T$ 、 $T_{r1}$ のゲート電極にかけられる電圧 $V_G$  (実線) と信号線 (ドレイン配線) に印加される電圧 $V_D$  (破線) が示されている。また、下にはソース側の電圧の変化が示されている。例えば、 $V_G$ を30V、 $V_D$ を20Vとしよう。ゲート電極に電圧が印加されている間は、電圧は増加して、やがて20Vで一定となる。しかしながら、ゲート電圧が0になると同時に、上記の飛び込み電圧効果によって、 $V_G$ の電圧の半分の電圧が失われ、降下する。すなわち、15Vの電圧降下がおこり、結果的には5Vの電圧しか残らない。

【0066】このようなことは本発明にとって致命的なことではない。というのは、最悪の特性を有するTFTによっても5V程度の電圧が残るのであれば、これは $T_{r2}$ のしきい値電圧以上であるから、画素に電圧を供給することが出来る。もちろん他にはもっと特性のよいTFTもあって、電圧降下も小さく、10V以上の電圧が $T_{r2}$ のゲート電極にかかる場合もあるだろうが、どのようなTFTによっても、等しく電圧供給線に印加された電圧が画素に供給され、したがって、色むら等の問題はない。従来の方式では、TFTの特性がばらばらであると、それが、そのまま画質の劣化となつた。最も特性の悪いTFTに合わせるために電圧を大きくすると、最も特性のよいTFTを有する画素では液晶に過大な電圧がかかることがあつた。本発明ではそのような心配はない。というのは、最悪のTFTを基準にしたときに最も高い電圧が印加されるのは $T_{r2}$ のゲート電極であるが、その耐圧は液晶材料よりも数倍から十数倍高いからである。

【0067】さて、本発明ではこのような電圧降下は特に問題とはならないという見方を紹介したが、別な考えではこれは重大な問題となる。すなわち、極めて電圧の高いパルスが行き交うのであるからその消費電力が増大するという考え方である。また、30Vもの電圧が漏れることがあれば、他の駆動回路や装置に重大なダメージを与え、また人体にも損傷を与える恐れがある。そこで、この問題を解決する方法を図4 (C) に示す。

【0068】図4 (C) では、ゲート電極には正の、ドレインには負の電圧を印加するようにした。このようにすると、ゲート電極とドレイン電極の間の電位差は10Vであるので、図4 (B) の場合と同じだけのTFTの

駆動能力が期待される。例えば、 $V_G$ を5V、 $V_D$ を-5Vとしよう。

【0069】次に、ソース側の電圧の変化を見ると、ゲート電極に電圧が印加されている間は、最初は、電圧は負に増大して、やがて、ドレイン電圧に等しくなる。そして、ゲート電極の電圧が0になると、ソースの電圧は寄生容量の効果によって逆に負の電圧が増加することである。その大きさはゲートの電圧の半分の2.5Vであり、結局、ソース側の電圧は-7.5Vとなる。もし、 $T_{r2}$ が負の電圧で駆動するPチャネル型トランジスタやデプレッション型のトランジスタであれば、選択線と信号線の電圧を5Vの单一電圧として使用でき、極めて低消費電力であり、また、安全面からの問題も解決される。

【0070】注意しなければならないのは、この場合には、信号線の電圧が0であっても、ソース側には、ゲート電圧の変化によって-2.5Vの電圧がかかることがある。通常のアモルファスシリコンのTFTではこの程度の電圧では問題が起こることは少ないかもしれない

が、ポリシリコンTFTによって $T_{r2}$ のしきい値電圧が小さいとON状態となってしまう。そのため、信号がないことを意図したつもりであっても信号状態となることもあります。このような問題を避けるためには、信号状態には負の電圧を、非信号状態には正の電圧を $T_{r1}$ のドレインに印加するようにすればよい。その場合には、信号状態は図4 (C) に示した通りであるが、非信号状態では、ソース側の電圧は+2.5Vとなり、 $T_{r2}$ がPチャネル型あるいはデプレッション型であった場合には反応しない。

【0071】本発明では、従来の方式と違って、画素のキャパシタに蓄積される電荷を直接選択線のパルスによって除去することはできない。したがって、先に説明したように、 $T_{r2}$ がON状態であるときに電圧供給線の電圧を0にすることによって放電させるという手法を使用する。この程度の方法でも十分であるが、もっと、積極的に放電をおこなわせるには図5 (A) に示すように、画素電極に接続し、選択線によって制御される第3のTFT、 $T_{r3}$ を設けてもよい。この場合には、 $T_{r3}$ は選択線にパルスが印加されている間に画素電極に蓄えられていた電荷を放電させる。しかし、この場合には、 $T_{r3}$ の寄生容量による飛び込み電圧によって、画素電圧が思いもよらない変動を受ける事がある。もっとも、寄生容量が画素電極の容量に比して十分小さければその影響は問題はない。

【0072】また、図5 (B) のように、画素に並列に抵抗によって自然放電を促進させるような構造としてもよい。このときには、抵抗Rの値を、例えば、画素との時定数が1フレーム程度になるように設定すると良い。具体的には通常のモードで使用するのであれば33ms/sec、デジタル階調をおこなう場合には、より早く減衰

(9)

特許 2784615

17

するように、例えば、42階調であれば0.0μsより、256階調の場合は125μs程度で減衰するように設計すると、残像や画像のぼけがなく、鮮明な画像が得られる。

【0073】従来のように、画素電極に電荷を蓄えた状態によって表示をおこなう場合には、このような短時間で電圧(電荷)が減衰してしまうような回路を設けることは画素電圧の不安定性をもたらすので、実施することは困難であった。すなわち、このような抵抗をもうけるとしてもその抵抗値には20%程度のばらつきがあることは必ずあったので、すると、1フレームの間に電圧がばらばらの速度で減衰し、1フレーム完了後の電圧の大きさは20%程度異なってしまった。

【0074】しかしながら、本発明では、画素電極の電圧は電圧供給線の電圧であるので、ほとんどの時間において一定であるので、この抵抗値のちがいによる表示のばらつきということは問題としなくともよい。

【0075】図5(B)では、抵抗は、画素電極と並列に設けられているが、このような配線を形成するとさらに余分に配線を形成しなければならないので開口率が低下することに注意しなければならない。

【0076】図4に関連する説明で述べたが、本発明では、NMOSとPMOSの組合せ(CMOS)や、エンハンスメント型とデプレッショント型の組合せによって、効率的な動作をおこなうことができる。

【0077】図6には、そのうち、エンハンスメント型とデプレッショント型の組合せについて示した。すなわち、Tr<sub>1</sub>としてエンハンスメント型 TFTを使用し、Tr<sub>2</sub>としてデプレッショント型 TFTを使用する。このときの動作を下の図に示す。

【0078】ここで、信号線V<sub>D</sub>の電圧表示において、正の信号はON、負の信号はOFFとする。最初は画素にONの情報を伝えるために、選択線のパルスが印加されたときの信号線の電圧は正とされる。このときには、V<sub>1</sub>の電圧は正となるが、飛び込み電圧の効果によって大きく低下する。例えば、選択パルスは10V、信号線の電圧は±8Vとする。また、飛び込み電圧の大きさを選択パルスの半分とする。すなわち5Vである。したがって、V<sub>1</sub>は3Vである。選択パルスの持続時間の間に十分に充電ができなかった場合にはそれ以下となる。

【0079】Tr<sub>2</sub>はNMOSのデプレッショント型であるので、V<sub>1</sub>が正であれば、ON状態である。この後、電圧供給線に正の電圧が印加されるが、Tr<sub>2</sub>はON状態であるので、画素電極はただちに正に帶電する。次の選択パルスが来る前に電圧供給線の電圧が0となり、画素電極の電圧はただちに0となる。そして、今後は、実線のように信号線に負の電圧が印加されたとしよう。すると、V<sub>1</sub>は負の値を示す。そして、飛び込み電圧の効果も加わり、-13Vの電圧が印加される。するとTr<sub>2</sub>はOFF状態となる。したがって、電圧供給線に、今度は負の電圧が供給され、画素電極は直ちにこの電圧によって充電される。

(10) 18

度は負の電圧が供給されても、画素は帶電しない。

【0080】もし、点線のように、引続き信号線に正の電圧が供給されればV<sub>1</sub>は、点線に示すように、最初の周期と同じように正の信号が示されるので、Tr<sub>2</sub>はON状態のままであり、したがって、電圧供給線に供給された負の電圧によって画素電極が直ちに充電される。

【0081】CMOSの場合については図7に示す。ここで、Tr<sub>1</sub>がNMOSで、Tr<sub>2</sub>がPMOSであるが、これは逆であってもよい。図7の下の部分にはその動作例を示した。ここで、信号線V<sub>D</sub>の電圧表示において、正の信号はOFF、負の信号はONとする。最初は画素にOFFの情報を伝えるために、実線のように選択線のパルスが印加されたときの信号線の電圧は正とされる。このときには、V<sub>1</sub>の電圧は正となるが、飛び込み電圧の効果によって大きく低下する。例えば、選択パルスは10V、信号線の電圧は±8Vとする。また、飛び込み電圧の大きさを選択パルスの半分とする。すなわち5Vである。したがって、V<sub>1</sub>は3Vである。選択パルスの持続時間の間に十分に充電ができなかった場合にはそれ以下となる。

【0082】Tr<sub>2</sub>はPMOSであるので、V<sub>1</sub>が正であれば、OFF状態である。この後、電圧供給線に正の電圧が印加されるが、Tr<sub>2</sub>はOFF状態であるので、画素電極は充電されない。次の選択パルスが来る前に電圧供給線の電圧が0となる。そして、今後は、実線のように信号線に負の電圧が印加されたとしよう。すると、V<sub>1</sub>は負の値を示す。そして、飛び込み電圧の効果も加わり、-13Vの電圧が印加される。するとTr<sub>2</sub>はON状態となる。したがって、電圧供給線に、今度は負の電圧が供給され、画素電極は直ちにこの電圧によって充電される。

【0083】もし、この2つの周期にわたって、画素をON状態とするのであれば、点線のように信号線に電圧を印加すればよい。すなわち、V<sub>1</sub>は、いずれも点線に示すように、負の信号となり、Tr<sub>2</sub>はON状態を継続する。したがって、電圧供給線に供給された電圧によって、最初は正に、2度目は負に、画素電極が充電される。

【0084】本発明を用いてデジタル階調をおこなう場合の信号の例を図8を用いて説明する。回路としては、図7で示されるような、Tr<sub>1</sub>にNMOSを、Tr<sub>2</sub>にPMOSを用いたCMOS型を採用する。図8の例は32階調表示の場合であるが、より高階調表示をおこなうことももちろん可能である。詳細については、本発明からの発明の特願平3-209869を参照すればよい。

【0085】デジタル階調にはいくつかの方式が考えられるが、駆動装置への負担を低減するのに最適な方法は、液晶画素に電圧が印加される時間を、複数のパルスの和によって実現し、表現する方法であり、図8の例で

50

(10)

特許-2784615

19

は、液晶画素に印加される最短パルス幅を、 $3.3\text{ msec}$ から $3.2$ 分の $1$ 、 $1\text{ msec}$ 程度とする。これを図8では、 $T_0$ と表現する。もちろん、その時間は多少の減少があつても構わない。例えば、先に説明したように、本発明の特徴である $T_{r2}$ の動作が均等におこなわれるよう、画素に電圧の印加される時間を遅らせる場合には、当然のことながら上記の時間より短くなる。例えば、 $1\text{ msec}$ の $70\sim90\%$ が用いられることがある。

【0086】しかしながら、選択線のパルスの最小繰り返し周期は、1フレーム周期（例えば $33\text{ msec}$ ）の $3.2$ 分の $1$ 程度であり、それが著しく少なかつたり、多かつたりすることは望ましくない。

【0087】図8では、最初に選択線にパルスが印加されてから、 $T_0$ 秒後に、再びパルスが印加される。その後、選択線に印加されるパルスの間隔は $1.6T_0$ 、 $2T_0$ 、 $8T_0$ 、 $4T_0$ と変化し、1フレームが終了する。選択線のパルスの幅はLCDマトリクスの行数を考慮して決定される。ここでは、行数を480行とすると、1行あたりに許される最小の時間は、 $2\mu\text{sec}$ であるが、パルスの重なりをさけるため、 $1\mu\text{sec}$ とする。これは従来の通常のアナログ表示方法の $3.0\sim7.0\mu\text{sec}$ に比べると十分に速い。しかしながら、このような高速動作が要求されるけれども、負荷が従来の方式に比べて著しく小さいと何ら問題とならない。これも本発明の特徴である。なお、選択線のパルスの高さは $10\text{ V}$ とした。

【0088】一方、信号線には正あるいは負の信号が入力される。正の信号が入力される場合には、画素に供給される電圧は $0$ に、逆に負の場合には画素が電圧状態となるように設計される。信号線に印加される信号の電圧は $\pm 8\text{ V}$ とした。

【0089】 $T_{r1}$ としては、飛び込み電圧の変動（電圧降下）が、ゲイト電圧の $25\%$ 、また、時間 $T_0$ 後の電圧は $90\%$ （時間 $1.6T_0$ 経過後は $50\%$ ）に減衰する特性を有するものを用いた。この特性は、かなり悪いもので、従来のTFT方式のLCDでは使用できないものであった。しかしながら、以下に示すように、本発明では十分に使用に耐える。

【0090】図8中の $V_1$ に示すように、 $T_{r1}$ のソース側の電圧は、最初の $T_0$ と次の $1.6T_0$ の間は正の電圧を示すが、続く $2T_0$ と $8T_0$ の間は、負の電圧を示す。そして、最後の $4T_0$ の間は、再び正の電圧となる。

【0091】一方、電圧供給線には、選択線に同期したパルス信号が送られる。そのタイミングは、その持続時間が、選択パルスの間隔に比例するように、例えば、最初の選択パルスから次の選択パルスの間では選択パルスが終了してから $1.0\mu\text{sec}$ 後に開始し、次の選択パルスが開始する $1.0\mu\text{sec}$ 前に終了し、さらに、2つめ

10

20

20

30

30

30

40

50

の選択パルスが終了してから $1.60\mu\text{sec}$ 後に開始して、3つ目の選択パルスの開始する $1.60\mu\text{sec}$ 前に終了するようにしてもよい。このようにすると、各パルスの持続時間が、きれいな整数比で表現される。

【0092】しかしながら、そのような面倒なことをしなくとも、単に選択パルスが終了してから、一定時間後に開始して、次の選択パルスが開始する一定時間前に終了するというようにしても実質的には問題はない。

【0093】例えば、選択パルスの終了後、 $1.0\mu\text{sec}$ 後に、電圧供給線のパルスを開始して、次の選択パルスの開始前、 $1.0\mu\text{sec}$ 後に、電圧供給線のパルスを終了するというようにした場合、最初の電圧供給線のパルスの持続時間は、 $0.98\text{ msec}$ であり、次のパルスの持続時間は $1.5.8\text{ msec}$ であり、その比率は、 $1:1.6.1.2$ であり、理想的な比率 $1:1.6$ とは違うのであるが、その違いは、最小パルス幅の $1.2\%$ であり、16階調表示にはほとんど問題とならない。したがって、ここでは、図8に示すように後者の方を採用する。

【0094】この電圧供給線のパルスを、フレームごとにその符号を反転してやれば交流化表示ができるることは言うまでもない。対向電極の電位は、常に接地レベルに保つておくことが望ましい。画素電極の電圧は、 $V_1$ と $V_{LC}$ によって決定され、最初の2つの期間、 $T_0$ と $1.6T_0$ では、 $V_1$ が正であるので、画素の電圧 $V_2$ は $0$ であるが、続く $2T_0$ と $8T_0$ の期間では、 $V_1$ が負であるので、 $V_2$ は電圧状態となる。しかし、最後の $4T_0$ では $V_2$ は再び $0$ となる。

【0095】結局、この $31T_0$ （ $31\mu\text{sec}$ ）の間に、電圧状態が $10T_0$ （ $10\mu\text{sec}$ ）だけあつたので、32段階のうちの11段階目の表示（1段階目の表示は電圧状態が全くなかった状態である）ができたことになる。このように、本発明によってデジタル階調を精度良くおこなうことができる。

【0096】本発明では、マトリクスの列数は、従来と同じであるが、行数は、電圧供給線の分だけ多い。また、そのドライバー回路との接続にあたっては、従来のTABによる装着のように、画一的に行うことはほとんど不可能であるので、特別な実装方法を用いる必要がある。TFTに、セルフアライン方式のポリシリコンTFTを用いた場合には、ドライバーのような周辺回路も画素の駆動回路を形成する時に同時に形成でき、そのため各配線の接続による歩留りの低下を心配する必要はない。

【0097】しかしながら、アモルファスシリコンTFTやポリシリコンTFTであつてもセルフアライン方式でないものを使用する場合には、別にドライバーICを各端子に接続する必要がある。あるいは、セルフアライン方式のポリシリコンTFTであつても、256階調のような高階調表示をおこなう場合には高速のドライバー

か要求され、その場合には、もはやポリシリコンTFTでも動作させることができない。したがって、外部のドライバーICが必要となる。

【0098】そのような場合には、例えば、図9に示すように選択線に接続したドライバーIC904をパネル901の左側に、電圧供給線に接続したドライバーIC905をパネルの右側に装着し、左側には、選択線の端子だけを、右側には、電圧供給線の端子だけを露出させることによって、各配線の接続をおこなえばよい。

【0099】図9では、従来によくおこなわれたように、マトリクス902を上下に2分割し、パネルの上下に信号線に接続するドライバーIC03をそれぞれ接続する。このようにすると、見掛け上、独立なパネルが2枚あることになり、各パネルの選択線および電圧供給線の配線数を半分に減らすことができる。このことによって、選択パルスの幅を大きくすることができ、特に高階調表示をおこなう場合には有効である。

【0100】本発明を実施せんとすれば、公知のTFT作製技術を使用すればよい。その詳細については以下の実施例で説明する。

#### 【0101】

##### 【実施例】

『実施例1』 図10および図11は、予め1画素に2つのTFTを作製した上で、各電極間を金属配線によって接続する方法を示すものである。図10はその作製過程の断面図を、図11はその作製過程の上面図(上から見た図面)を示す。予め作製するTFTは、2つとも同じ種類のTFTであってもよいし、PMOSとNMOSのTFT、また、デプレッション型とエンハンスマント型のTFTというように、違う種類のTFTであってもよい。図では、プレーナー型のTFTを示したが、スタガーモード、逆スタガーモードもよく、また、セルフアライン方式を用いて不純物領域(ソース、ドレイン)が形成されたものでも、非セルフアライン方式によるものでもよい。

【0102】従来の方法によって、アナログ階調やデジタル階調等を行う場合には、TFTの寄生容量が問題となるためにセルフアライン方式を採用することが望まれ、また、アモルノアスシリコンTFTでは、セルフアライン方式が採用できないので、極めて微細なマスク合わせ技術を駆使して寄生容量を削減することがなされてきたが、本発明では、寄生容量が適当に存在しても、むしろ、寄生容量によって、効果的な動作が期待できることもある。そのことが本発明の特徴ともなりえることは先に述べたとおりである。もちろん、寄生容量は少ない方が周辺回路の負担は少ないので望ましいことは言うまでもない。

【0103】このような、TFTを作製した様子を図10(A)および図11(A)に示す。ここには、既に2つのTFT、107と108が形成されている様子を示

した。ここで、101はガラス等の基板であり、102は、基板からTFTにナトリウム等の可動イオンが侵入することを防ぐためのプロッキング層であり、窒化珪素や酸化アルミニウム等が適している。

【0104】また、103は、このようなプロッキング層とTFTの半導体との界面離位の形成を防止する目的で設けられる酸化珪素等の絶縁膜である。104は半導体被膜であり、図では、プレーナー方式を採用したので、ここに、不純物領域が形成されている。被膜の厚さは20~100nmが好適であった。セルフアライン方式を採用する場合には、この被膜は最終的にはポリシリコンとなることが望まれる。105はゲート絶縁膜として機能する絶縁膜で、スパッタ法によって形成された酸化珪素膜やECR-CVD法によって形成された酸化珪素膜がその目的には適している。厚さは50~200nmが好適であった。106は、ゲート電極であり、不純物導入にセルフアライン方式を採用する場合には、高濃度不純物ドープされたシリコン等の半導体材料やクロム、タンクスチタン等の耐熱金属等がその目的に適している。そして、図10(A)および図11(A)の段階では、これらのゲート電極は露出してある。

【0105】次に、図10(B)および図11(B)に示すように、TFT107のソース領域とドレイン領域に穴を開け、金属被膜を形成して、エッチングし、ドレイン領域を信号線110に接続する。また、同時にソース領域を金属配線109によって、もう一方のTFT、108のゲート電極に接続する。このとき、TFT108のゲート電極は露出されているので、穴開けの工程は不要である。

【0106】その後、層間絶縁膜111を形成して、図10(C)および図11(C)に示すように、TFT107のゲート電極とTFT108のドレイン領域に穴を開け、金属被膜を形成して、TFT108のゲート電極を信号線113に、またTFT108のドレイン領域を電圧供給線112に接続する。層間絶縁膜は絶縁特性のよいものが本発明を実施するうえで適している。なぜならば、本発明では、Tr2として機能するTFTのゲート電極には1フレームの間、電荷が保持されることが望まれるからである。電荷のリークが全くないことは必要ではないが、あまりにリークが大きいことは本発明を実施するうえで重大な障害となる。

【0107】最後に、表面平坦化膜114を形成したのち、図10(D)および図11(D)に示すように、TFT108のソース領域に穴を開け、画素電極とその配線115をITO(酸化インディウム-酸化錫合金)等の透明導電性材料で形成する。以上の工程によって、本発明を実施できる画素を作製することが出来た。

【0108】『実施例2』 図12に本実施例を示す。図12は、逆スタガーモードのTFTを2つ用いて本発明を実施する例を説明する断面図である。

(12)

特許 2784615

23

【0109】図12 (A) に示すように、ガラス基板201上に逆スタガー型のTFT209と210が形成されている。ここで、202は基板からの可動イオンの侵入を防ぐプロッキング層であり、塗化珪素等が適している。また、203はゲート電極であり、アルミニウム等の金属やシリコン等の半導体材料で形成される。特に低温プロセスによって、歩留りの向上を計る際は、導電率の低いアルミニウムを選択できる。アルミニウムを使用する場合、このゲート電極のうち、TFT209のゲート電極は、バーニングのときに既に選択線に接続された状態で形成されていることが望ましい。一方、TFT210のゲート電極は電気的に絶縁された状態にある。また、ゲート電極の表面には陽極酸化法、その他の方法で厚さ10~30nmの酸化膜を形成しておくと都合良かった。

【0110】204はゲート絶縁膜であり、これは、層間絶縁膜としても機能するものを使用するとよい。また、TFTの活性化領域に関しては、TFT209では、I型のアモルファスシリコン膜205を、TFT210では、N型のアモルファスシリコン膜206を形成した。アモルファスシリコンの代わりにポリシリコンを使用してもよい。そして、両方のTFTには、N<sup>+</sup>型の微結晶シリコン膜207を、エッティングストッパー208を使用して形成し、ソース、ドレインとした。このような構成とすることによって、TFT209はエンハンスマージット型TFTとして、また、TFT210はデプレッション型TFTとして動作する。

【0111】もし、CMOS化をおこなって、図7に示すような回路を構成しようとすれば、活性化領域(すなわち205と206)をどちらもI型とし、ソース、ドレインをP型とN型にすればよい。CMOS化の場合には、アモルファスシリコンを使用するとPチャネルTFTの移動度が著しく小さいので、ポリシリコンの方が望ましい。しかしながら、デプレッション型の場合もそうであるが、レーザーアニールのような特殊な方法でなければ、ポリシリコンの低温作製は困難である。例えば、ゲート電極にアルミニウムを使用する場合にはプロセス温度が550°C以上となると、アルミニウムが劣化するので注意が必要である。

【0112】図12 (A) の段階では、TFT210のゲート電極は層間絶縁膜204によって、外部との電気的な接続は一切無い状態になっている。次に図12 (B) に示すように、金属被膜を形成して、バーニングすることによって、TFT209のドレインを信号線211に接続し、一方、TFT210のゲート電極に穴を開けて、金属配線212を形成して、TFT209のソースとTFT210のゲートを接続する。

【0113】さらに、層間絶縁膜213を形成した後、TFT210のドレインに穴を開けて、図12 (C) に示すように、電圧供給線と接続する金属配線214を形

10

20

30

40

50

成する。最後に、平坦化膜216を形成してから、透明導電材料によって、画素電極217を形成して(図12 (D))。本発明を実施する画素の作製を終了する。

【0114】『実施例3』 図13に本実施例を示す。図13も逆スタガー型のTFTを2つ用いて本発明を実施する例を説明する。図13は上面図である。図13 (A) に示すように、ガラス基板上に選択線として機能し、かつ、第1のTFTのゲート電極としても機能する金属配線301と第2のTFTのゲート電極として機能する金属配線301'を同一被膜のバーニングによって形成する。バーニングの前に上記金属被膜の表面に、陽極酸化法、その他の方法で厚さ10~30nmの酸化膜を形成しておくと都合良かった。

【0115】さらに、層間絶縁膜としても機能するゲート絶縁膜を形成した後、半導体被膜302を形成した。さらに、第2のTFTのゲート電極にコンタクトホール304を形成して、第1のTFTのソース、ドレイン電極としての高濃度不純物ドープ半導体膜305と、第2のTFTのソース、ドレイン電極としての高濃度不純物ドープ半導体膜303を形成した。このとき、この2つの半導体被膜303と305は同一材料、同一被膜、同一導電型であっても、異種導電型であっても構わない。異種導電型とするとCMOS化が可能である。

【0116】また、半導体被膜305のうち、第1のTFTのソースとして機能する部分は、コンタクトホール304を介して第2のTFTのゲート電極と接続する。このようにして図13 (A)を得る。次に図13 (B)に示すように、金属被膜を形成して、バーニングすることによって、第1のTFTのドレインを信号線306に接続する。さらに、層間絶縁膜を形成した後、図13 (C)に示すように、第2のTFTのドレインにコンタクトホール307を、また、ソースにコンタクトホール309を開けて、それぞれ、電圧供給線308、画素電極310と接続する。こうして本発明を実施する画素の作製を終了する。

【0117】以上の工程をCMOS化した回路の場合についてまとめる以下のようなになる。[]内数字はマスの枚数である。

- (1) 選択線301、ゲート電極301'の形成
- (1)
- (2) ゲート絶縁膜(層間絶縁膜)の形成
- (3) 半導体層302の形成 [2]
- (4) エッティングストッパー(図示せず)の形成
- (3)
- (5) コンタクトホール304の形成 [4]
- (6) 半導体層305の形成 [5]
- (7) 半導体層303の形成 [6]
- (8) 信号線306の形成 [7]
- (9) 層間絶縁膜の形成
- (10) コンタクトホール307、309の形成

(13)

特許 2784615

25

(8)

(11) 電圧供給線308の形成 (9)

(12) 画素電極310の形成 [10]

すなわち、10個のマスク工程を経て作製することが出来る。

【0118】『実施例4』 図14に、本発明を実施するための実際の回路例を示す。図14(A)には、その断面図を、また、同図(B)は、その上面図を示す。この回路を作製するには以下のようにおこなう。

【0119】まず、基板401上に第1のTFTのゲイト電極となり、選択線としても機能する配線402を形成する。配線形成後、陽極酸化法等によって、配線の表面に厚さ10~200nm程度の酸化膜を形成しておいてよい。また、そのゲイト電極あるいは選択線は、図に示すようにその側面をテーパー状に加工しておいてよい。このようなテーパー状の断面とすることによって、その段差を緩和し、上に積層される被膜の密着性を上げ、さらに、微細加工を再現良くおこなうことができる。

【0120】特に、この例のように、ゲイト電極が選択線を兼ねる場合には、選択線の抵抗を下げるためにはその幅を広くするか、厚みを増すことが要求されるが、開口率を維持し、また、チャネル長を短くする意味から、選択線の幅を広くすることは問題がある。したがって、選択線の厚みを厚くすることが要求されるのであるが、選択線の厚さがあまりに大きいとその上に形成する被膜が、その段差によって障害を受けることとなる。そのような意味からも、このようなテーパー状の断面は好ましいものである。

【0121】さて、選択線(第1のTFTのゲイト電極)402の上には、ゲイト絶縁膜403を形成する。このゲイト絶縁膜は、層間絶縁膜としても機能するもので、その形成後、あるいは形成中に、エッチバック法によってその表面の平坦化をおこなうことが望ましい。

【0122】そして、このような平坦なゲイト絶縁膜上に、第1のTFTの活性化半導体膜としてアモルファスシリコンあるいはポリシリコン、あるいはそれらの中間状態のものの被膜405を形成する。その厚さは20~100nmとする。また、その上に窒化珪素等の被膜を形成し、パターニングして、これをエッチングストッパー406とする。特に同じ材質の多層の被膜をエッチングするにあたって、下層の被膜が上記の如く極めて薄い場合には、誤って、下層の被膜を切断してしまう恐れがあるので、このようなエッチングストッパーをもうけることは意味がある。また、TFTのチャネル長は実質的に、このエッチングストッパーの幅によって決定される。

【0123】ついで、例えばN<sup>+</sup>型のマイクロクリスタルシリコン膜を形成して、これをパターニングして、第1のTFTのドレイン408と、第1のTFTのソース

(13)

26

と第2のTFTのゲイト電極を兼ねた配線407を形成する。本発明では、この配線407に蓄積される電荷によって、その動作特性が大きく影響を受け、したがって、この部分の配線のキャパシタンスが大きいと、第1のTFT(T<sub>r1</sub>)の負荷が大きくなる。したがって、高速動作という点からすれば、このように、できるだけ表面積が小さくなるように配置することが望まれ、本実施例のように一体物として形成することは、本発明の利点をさらに強調することとなる。

【0124】さて、この状態から、信号線409をアルミニウム等の金属材料で形成する。第1のTFTのドレンは露出されているので、その上に金属配線を重ねて形成するだけで十分なコンタクトが得られる。

【0125】次に、第2のTFTのゲイト絶縁膜として機能し、さらに、層間絶縁物としても機能する絶縁被膜410を形成する。その材料としては酸化珪素等が望ましい。そして、その上に活性化半導体膜411としてポリシリコン、あるいはアモルファスシリコンとポリシリコンの中間状態のものの被膜411を形成する。その厚さは20~100nmとする。また、その上に窒化珪素等の被膜を形成し、パターニングして、これをエッチングストッパー412とする。

【0126】そして、たとえばP<sup>+</sup>型のマイクロクリスタルシリコン膜を形成し、これをパターニングして、第2のTFTのソース、ドレン413を形成する。この状態では、このソース領域およびドレン領域は露出した状態であるので、ドレンの上に電圧供給線414をアルミニウムのような金属材料で形成し、また、ソースの上にITOのような透明導電性材料の被膜で、画素電極415を形成するだけで良好なコンタクトが得られる。

【0127】以上の工程をまとめると以下のようになる。ただし、[]内数字はマスクの枚数である。

- (1) 選択線402の形成 [1]
- (2) ゲイト絶縁膜(層間絶縁膜)403の形成
- (3) 半導体層405の形成 [2]
- (4) エッチングストッパー406の形成 [3]
- (5) 半導体層407、408の形成 [4]
- (6) 信号線409の形成 [5]
- (7) ゲイト絶縁膜(層間絶縁膜)410の形成
- (8) 半導体層411の形成 [6]
- (9) エッチングストッパー412の形成 [7]
- (10) 半導体層413の形成 [8]
- (11) 電圧供給線414の形成 [9]
- (12) 画素電極415の形成 [10]

【0128】すなわち、10個のマスク工程を経て作製することが出来る。上記の方法の特徴は1度もコンタクトホールを形成しないで、回路を作製できることである。コンタクトホールによる配線の接続は、しばしば、ホールの段差による断線や接触不良をもたらした。本実

(14)

特許 - 2784615

27

施例ではそのような問題は生じない。

【0129】

【発明の効果】本発明によって、従来のアナログ階調あるいはデジタル階調方式に比べて、著しく歩留りをあげることができるようになった。すなわち、従来の方式では不良とされたような粗悪なTFT素子を使用しても、以上に説明したような理由から十分な階調表示を得ることができた。その結果、歩留りが向上し、生産コストが引き下げられるのが本発明の特徴である。しかしながら、低コストでありながら、従来と同様の階調表示、あるいは従来以上の階調表示が達成できることも本発明の特徴である。

【0130】本発明を適用する際に、2つのTFTにセルフアライン方式で作製されたポリシリコンTFTを用いると、高速動作性、高階調表示性に極めて優れたLCDを作製することができる。

【0131】また、2つのTFTに、非セルフアライン方式のポリシリコンTFTを採用した場合でも、64階調以上の階調表示は難無くおこなえ、また、その生産コストも、従来のアナログ方式の16階調のLCDと同等、あるいはそれをはるかに下回るコストで生産できる。

【0132】さらに、2つのTFTに、非セルフアライン方式のアモルファスシリコンTFTを採用した場合にも、16階調以上の階調表示能力を有する大面積LCDを安価に製造できる。

【0133】このように本発明は、先の見えない低歩留り高コストによって、先行投資の償却費負担に苦しみ、赤字垂れ流しで採算の見通しの立たなかつた泥沼状態の液晶ディスプレー業界の救世主となるとともに、従来の高価な液晶ディスプレーでは想像もできなかつた新たな利用分野を開拓し、従来の経済予想を上回る液晶ディスプレーマーケットを築く引き金となると本発明人は信じるのである。

(14)

28

【図面の簡単な説明】

【図1】本発明のTFTLCDの画素の回路例とその動作例を示す。

【図2】従来のTFTLCDの画素の回路例とその動作例を示す。

【図3】本発明のTFTLCDの画素の回路例とその動作例を示す。

【図4】本発明のTFTLCDの画素の回路例とその動作例を示す。

【図5】本発明のTFTLCDの画素の回路の例を示す。

【図6】本発明のTFTLCDの画素の回路例とその動作例を示す。

【図7】本発明のTFTLCDの画素の回路例とその動作例を示す。

【図8】本発明を使用して、デジタル階調をおこなう際の信号波形の例を示す。

【図9】本発明を有するTFTLCDの実装例を示す。

【図10】本発明の回路を作製する方法の例を示す。

【図11】本発明の回路を作製する方法の例を示す。

【図12】本発明の回路を作製する方法の例を示す。

【図13】本発明の回路を作製する方法の例を示す。

【図14】本発明の回路を作製する方法の例を示す。

【符号の説明】

104 ····· 半導体被膜

106 ····· ゲイド電極

107 ····· 第1のTFT

108 ····· 第2のTFT

109 ····· 金属配線

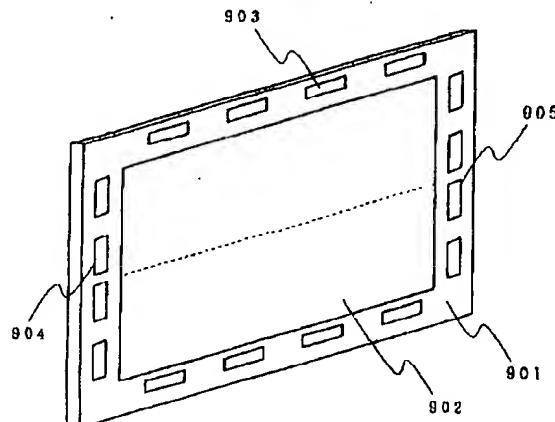
110 ····· 信号線

112 ····· 電圧供給線

113 ····· 選択線

115 ····· 画素電極

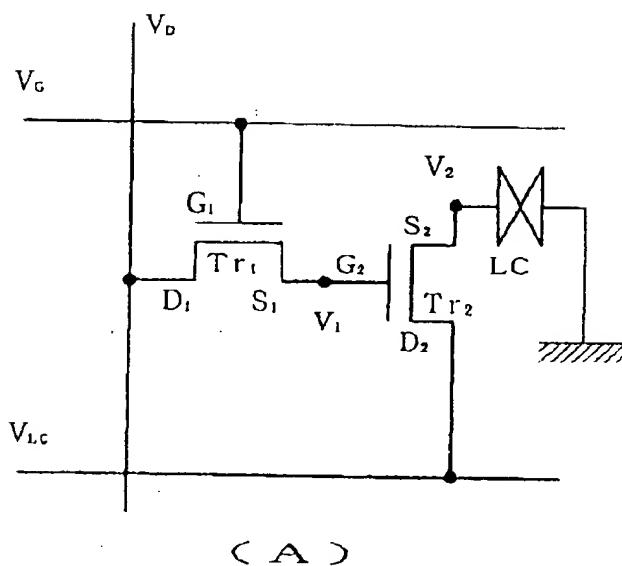
【図9】



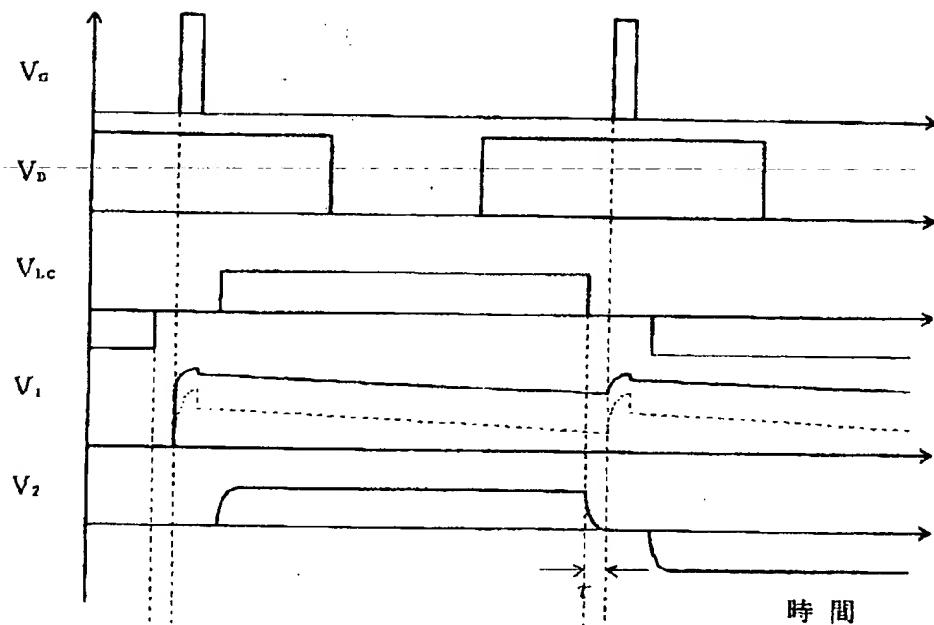
(15)

特許 - 2784615

〔図1〕



〔A〕

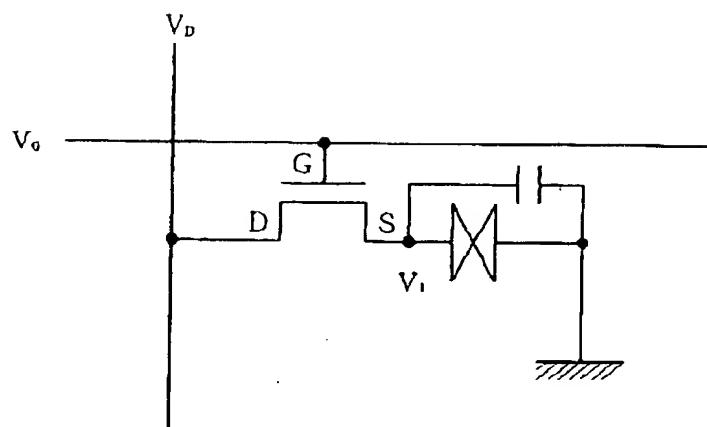


〔B〕

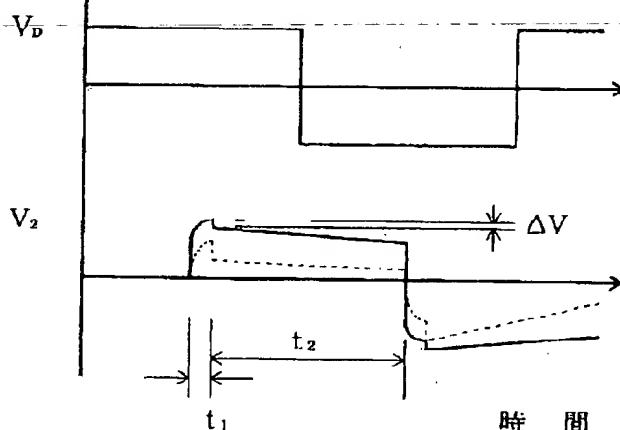
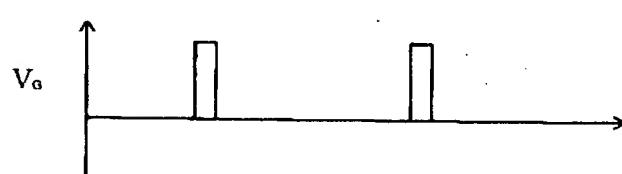
(16)

特許 - 2 7 8 4 6 1 5

【図2】

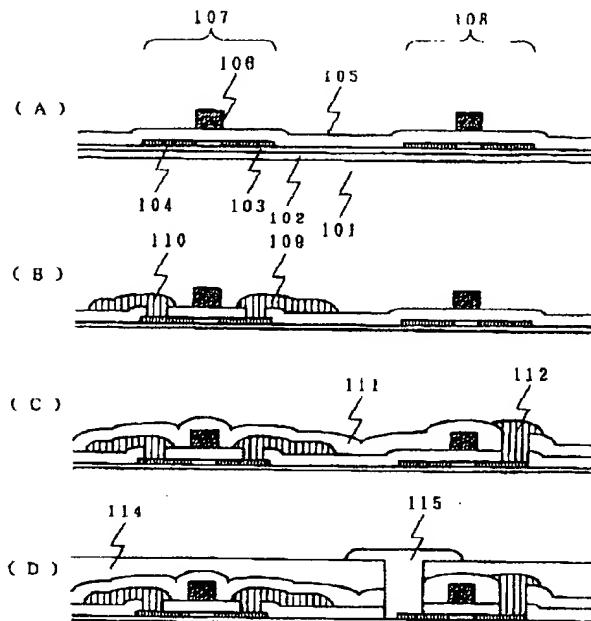


&lt; A &gt;

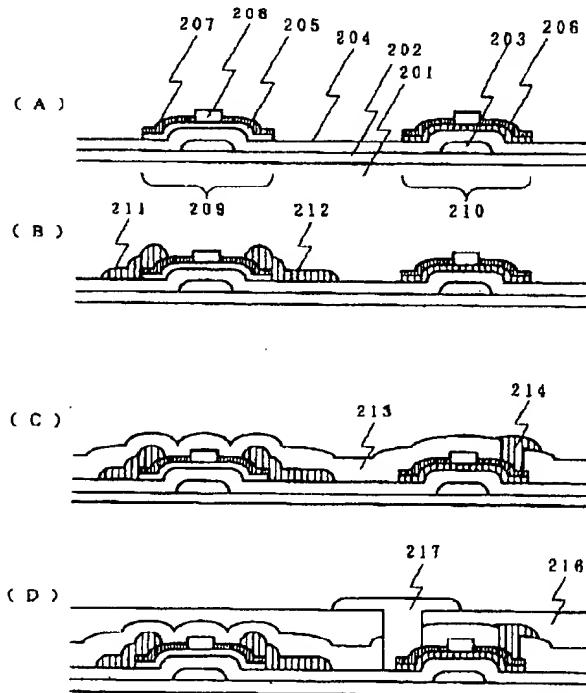


&lt; B &gt;

【図10】



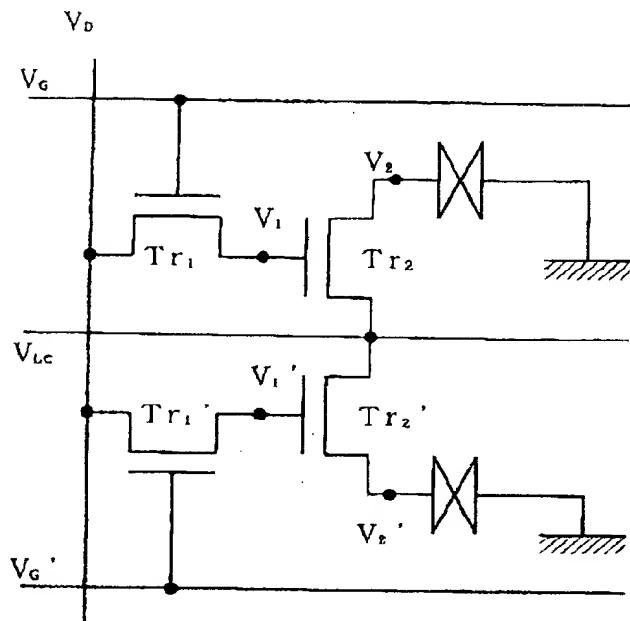
【図1-2】



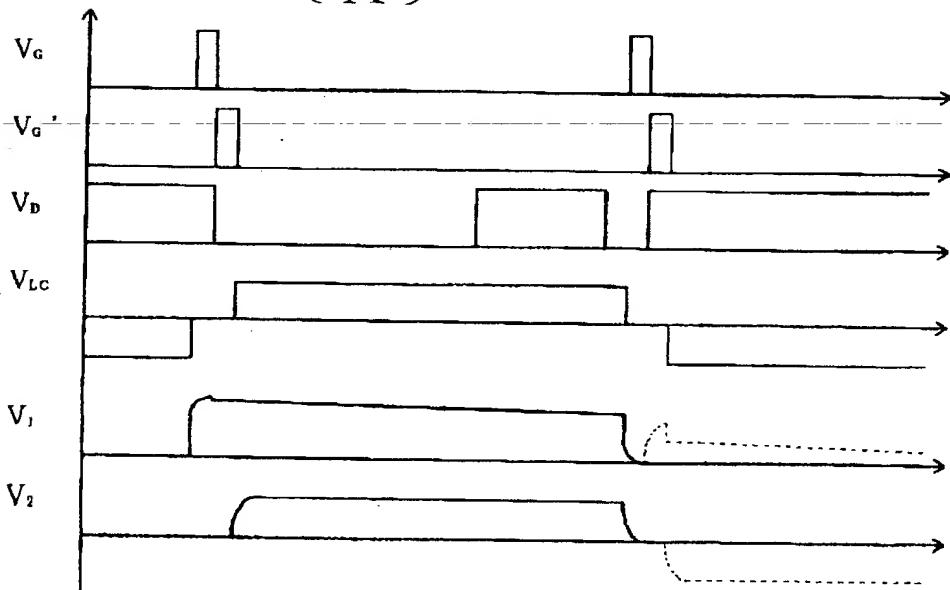
(17)

特許 - 2 7 8 4 6 1 5

【図3】



&lt; A &gt;

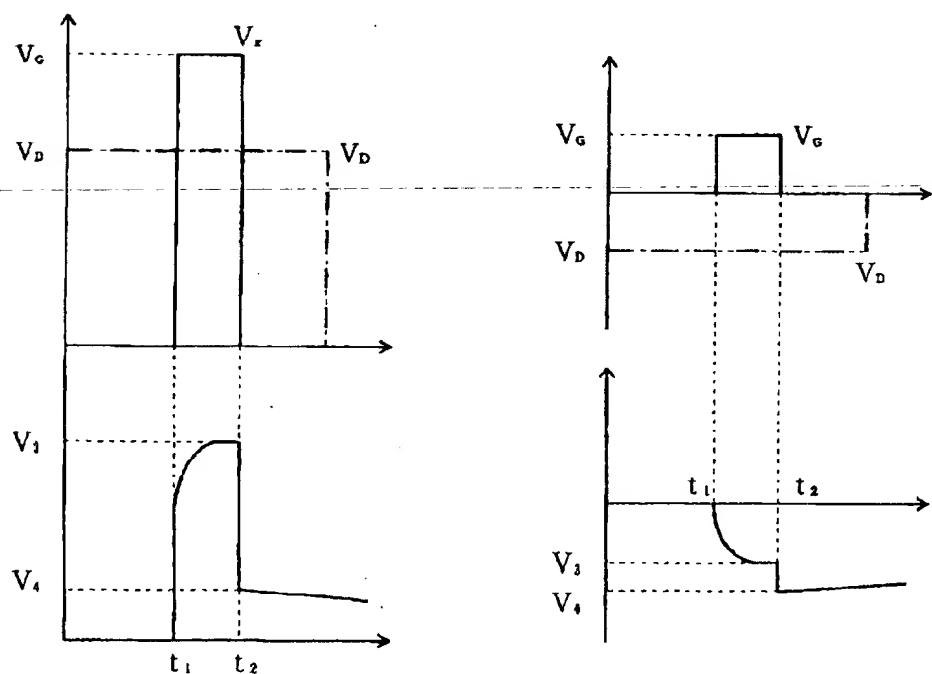
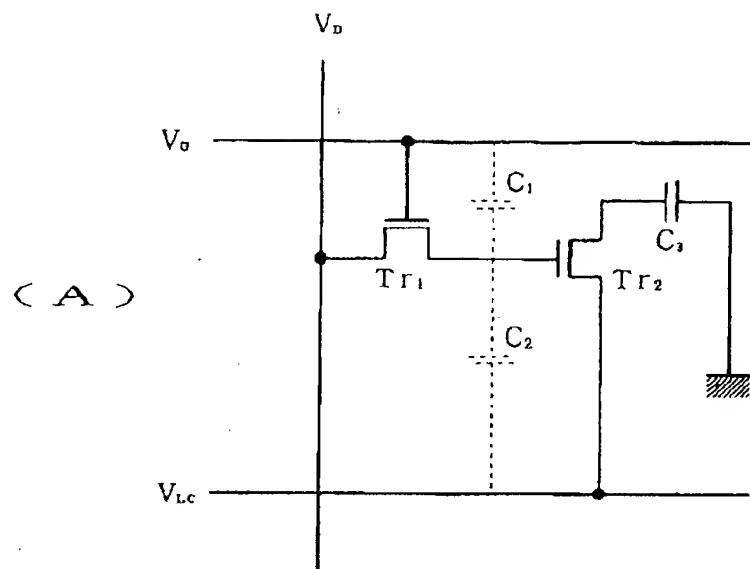


&lt; B &gt;

(18)

特許 - 2 7 8 4 6 1 5

【図4】



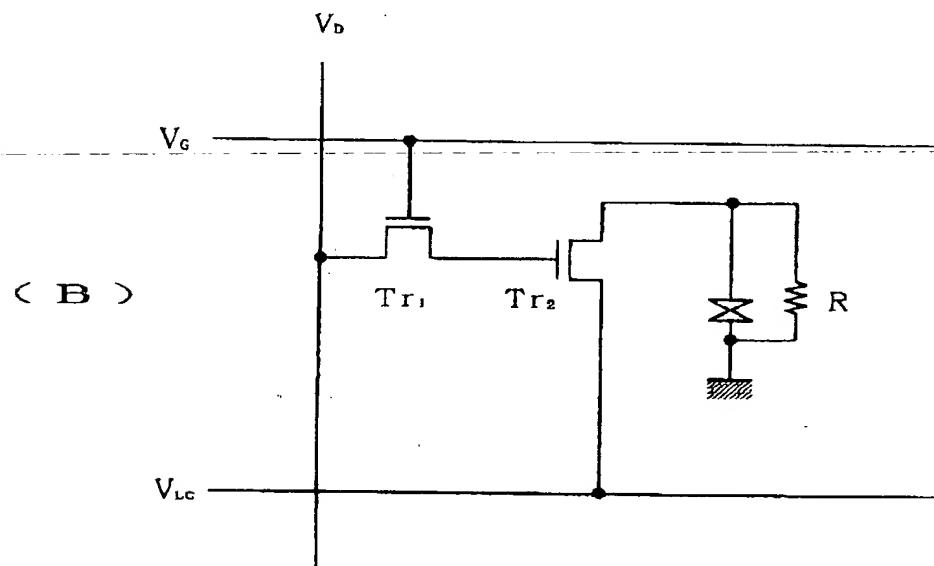
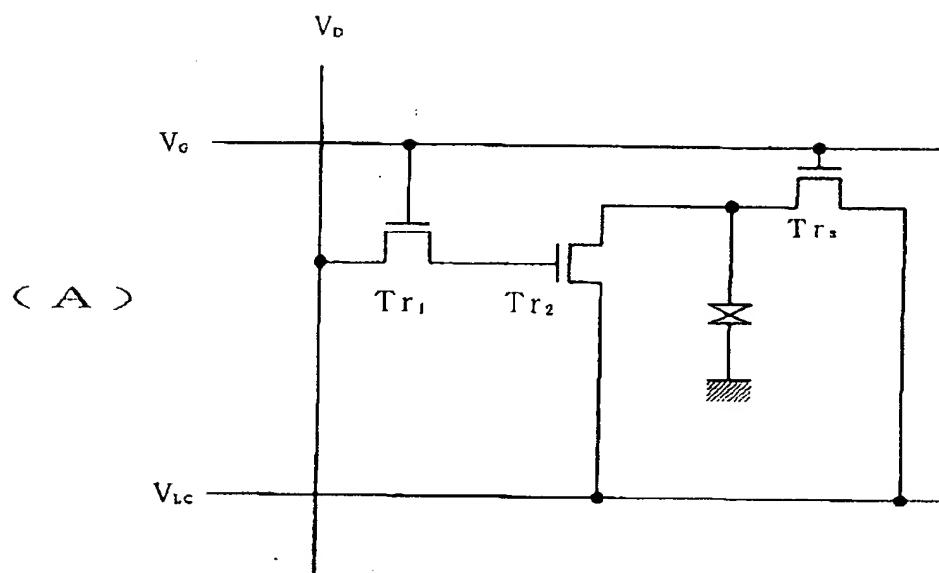
(B)

(C)

(19)

特許 2784615

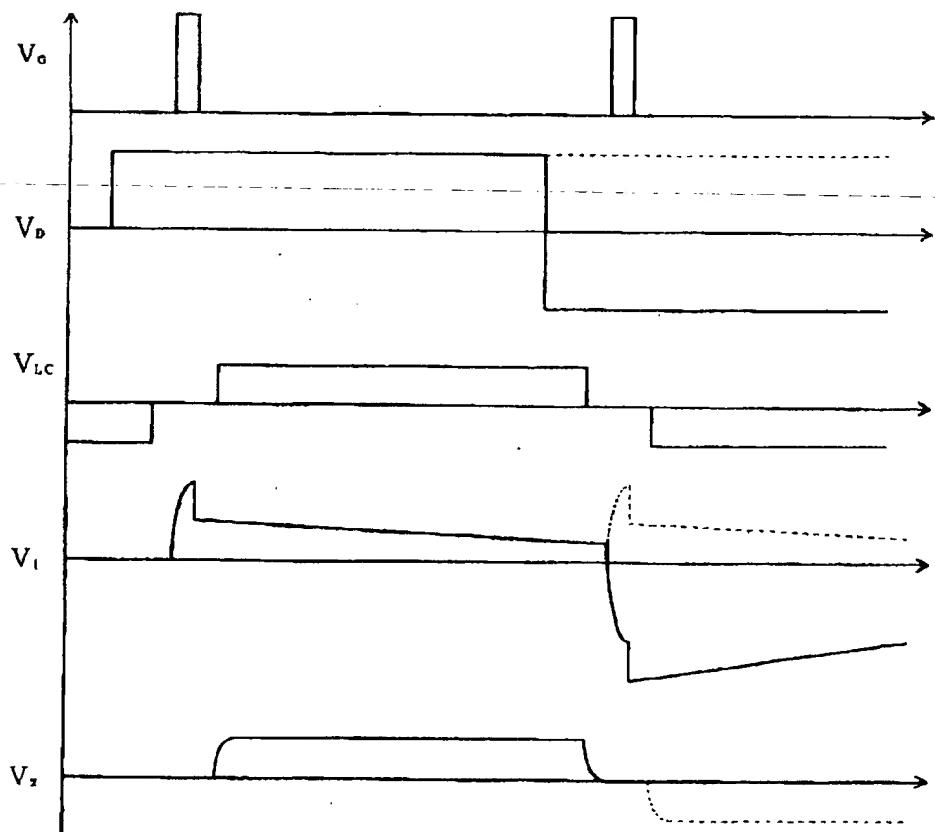
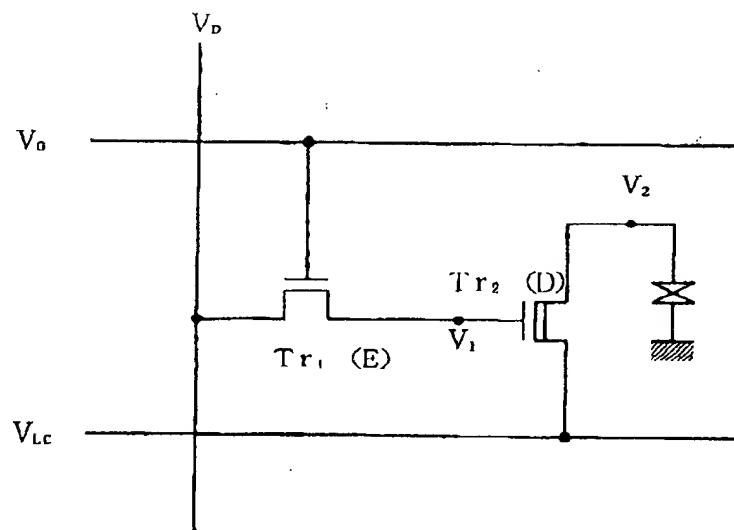
【図5】



(20)

特許 - 2 7 8 4 6 1 5

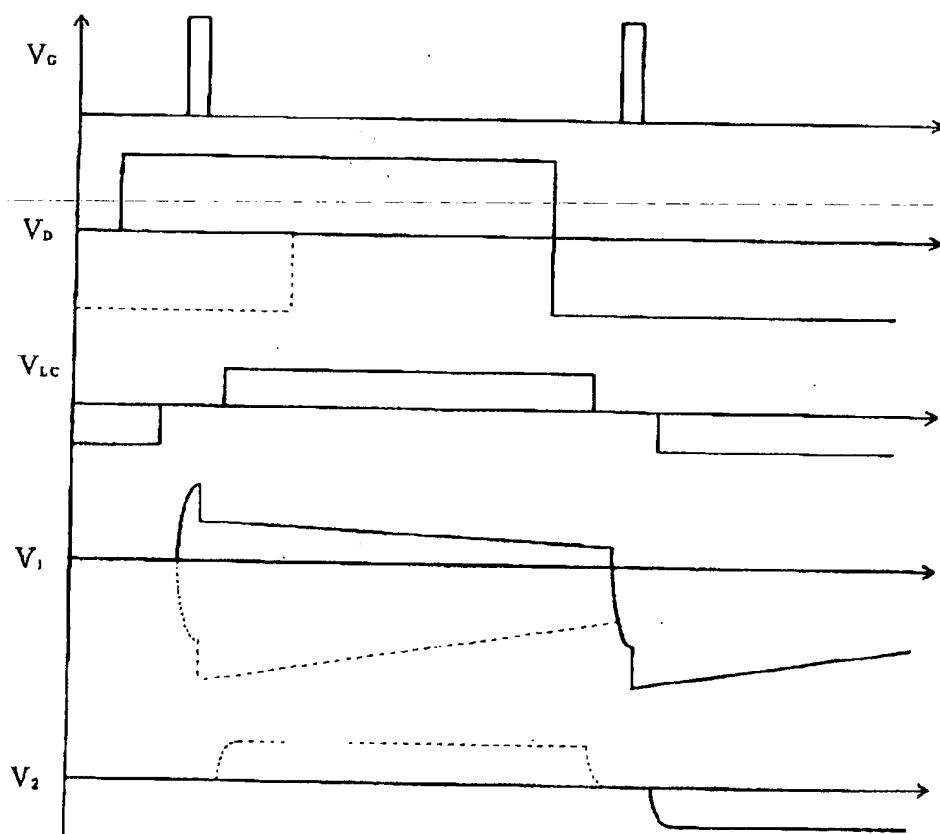
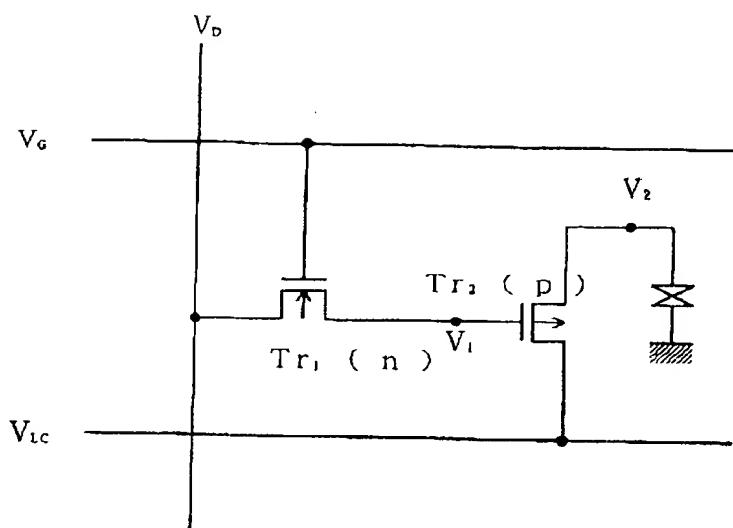
【図6】



(21)

特許-2784615

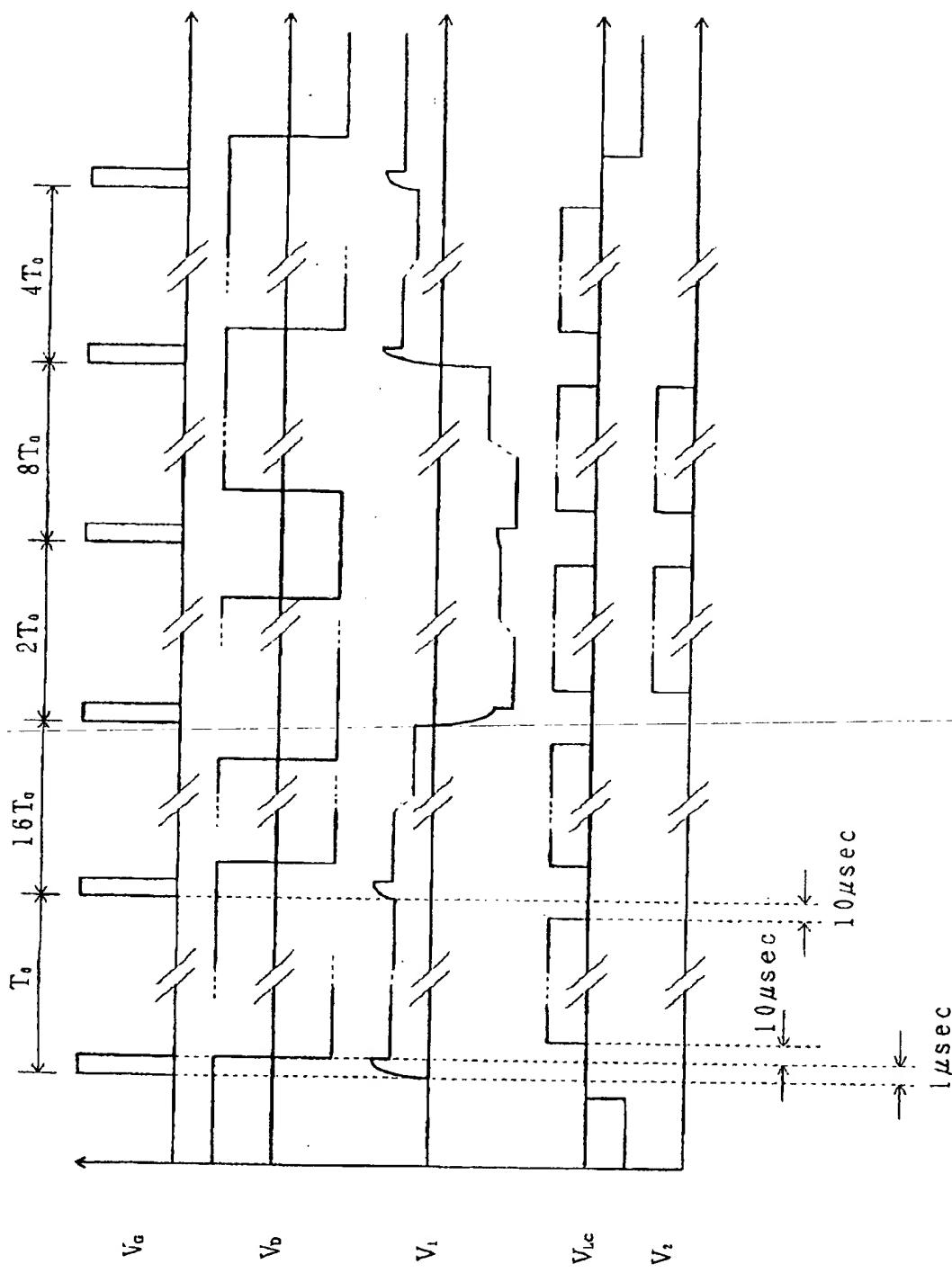
【図7】



(22)

特許 2784615

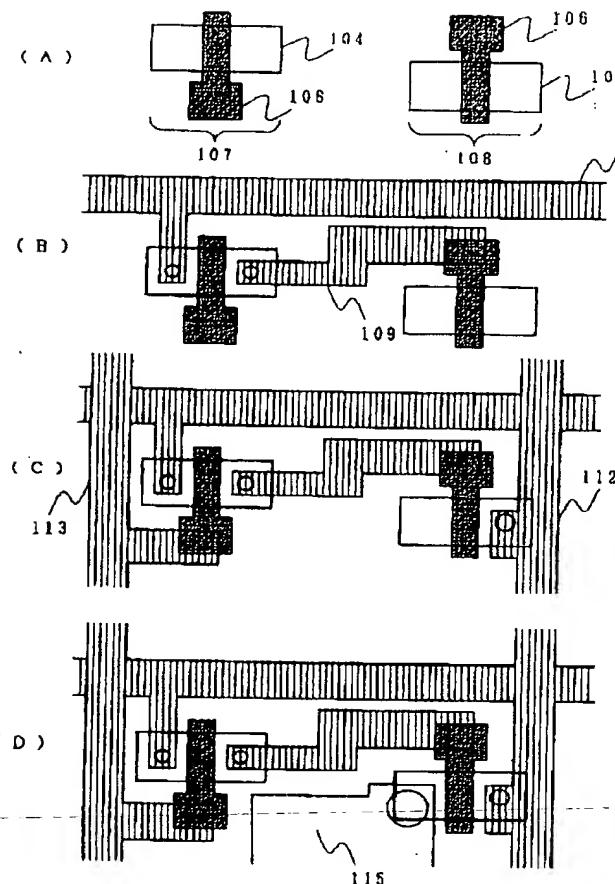
【図8】



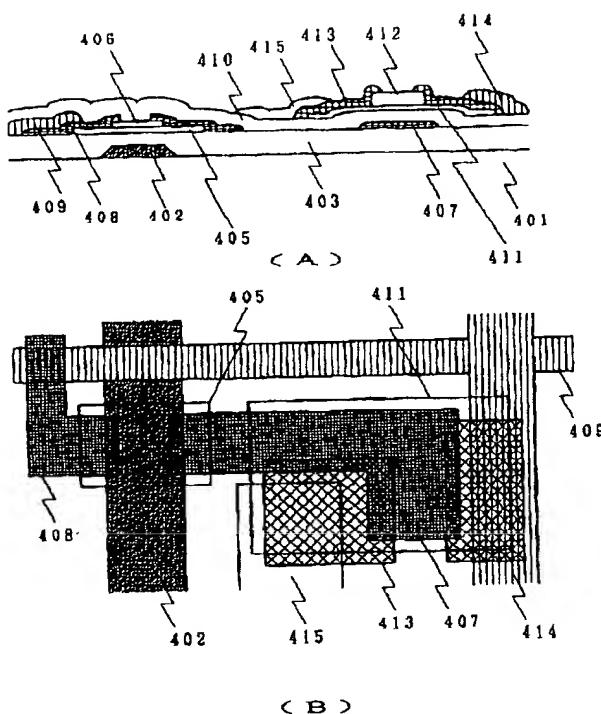
(23)

特許 2784615

【図11】



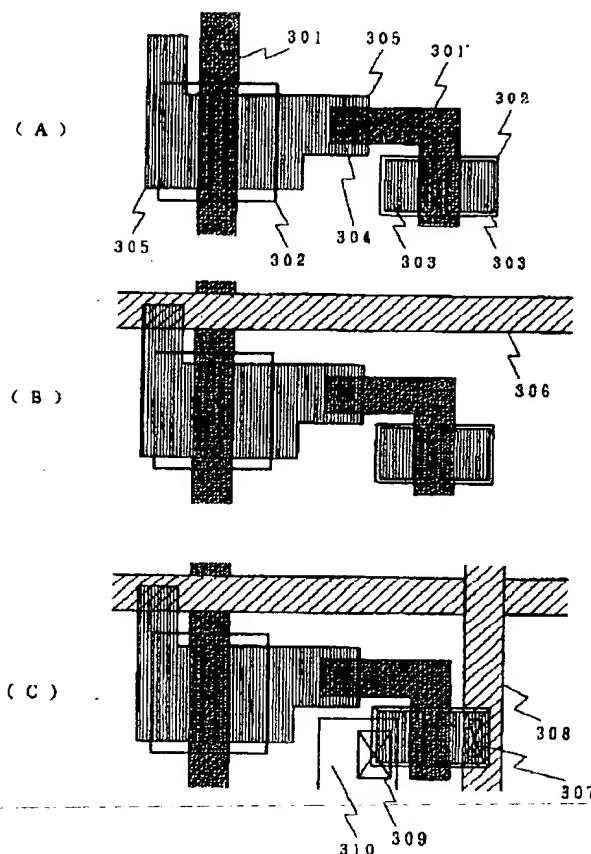
【図14】



(24)

特許-2784615

【図13】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

G 09 G 3/36

G 09 G 3/36